

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-294925

(43)Date of publication of application : 20.10.2000

(51)Int.Cl.

H05K 3/46

H01L 23/12

(21)Application number : 11-094725

(71)Applicant : IBIDEN CO LTD

(22)Date of filing : 01.04.1999

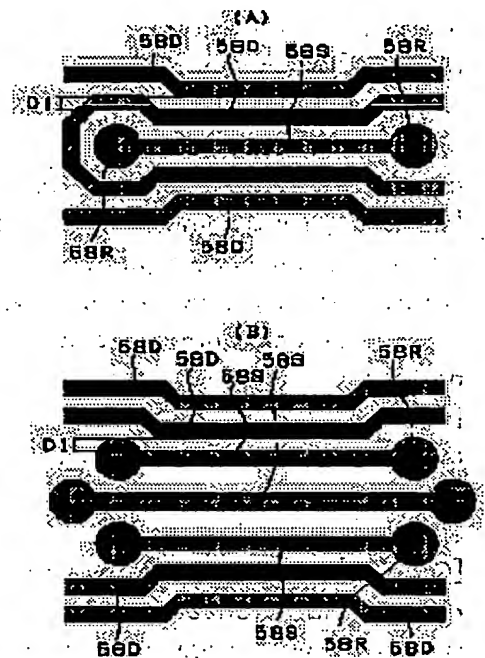
(72)Inventor : HIROSE NAOHIRO

(54) MULTILAYER BUILDUP WIRING BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multilayer buildup wiring board which is superior in homogeneity of the thickness of a wiring pattern and an interlayer resin-insulating layer.

SOLUTION: Since dummy conductors 58D are arranged and installed around a wiring pattern 58a, electric field will not concentrate, when a conductor layer is formed by an electrolytic plating operation. In addition, a wiring pattern 58S can be formed into prescribed thickness and width without being over-etched. As a result, an isolated wiring pattern and a wiring pattern in a crowded part can be formed in uniform thickness. In addition, since the thickness of an interlayer resin-insulating layer 150 in the upper layer of the wiring pattern 58S can be made uniform, the electrical characteristics of this multilayer buildup wiring board can be enhanced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the surroundings of the circuit pattern which constitutes said conductor layer in the multilayer build up patchboard which comes to carry out the laminating of the resin insulating layer between layers, and the conductor layer by turns — a dummy — the multilayer build up patchboard characterized by arranging a conductor.

[Claim 2] the surroundings of two or more circuit patterns which constitute said conductor layer in the multilayer build up patchboard which comes to carry out the laminating of the resin insulating layer between layers, and the conductor layer by turns — a dummy — the multilayer build up patchboard characterized by arranging a conductor.

[Claim 3] said dummy — claim 1 characterized by increasing the width of face of a conductor 1 to 3 times of the minimum width of face of said circuit pattern, or the package substrate of 2.

[Claim 4] said dummy — a package substrate given in any 1 of claims 1–3 characterized by increasing spacing of a conductor and said circuit pattern 1 to 3 times of the minimum width of face of said circuit pattern.

[Claim 5] the surroundings of the isolated land which constitutes said conductor layer in the multilayer build up patchboard which comes to carry out the laminating of the resin insulating layer between layers, and the conductor layer by turns — a dummy — the multilayer build up patchboard characterized by arranging a conductor.

[Claim 6] the surroundings of said isolated land — a dummy — the multilayer build up patchboard of claim 5 characterized by surrounding with a conductor.

[Claim 7] said dummy — claim 5 characterized by increasing the minimum width of face of a conductor 1 of the path of said isolated land / 6 to 3 times, or the multilayer build up patchboard of 6.

[Claim 8] said dummy — a multilayer build up patchboard given in any 1 of claims 5–7 characterized by increasing the minimum interval of a conductor and said isolated land 1 of the path of the isolated land concerned / 6 to 3 times.

[Claim 9] the multilayer build up patchboard which comes to carry out the laminating of the resin insulating layer between layers, and the conductor layer by turns — setting — said conductor layer — a dummy — while arranging a conductor — this dummy — a conductor and a dummy — the multilayer build up patchboard characterized by forming a fillet in an intersection with a conductor.

[Claim 10] the multilayer build up patchboard which comes to carry out the laminating of the resin insulating layer between layers, and the conductor layer by turns — setting — said conductor layer — a dummy — while arranging a conductor — this dummy — a conductor and a dummy — the multilayer build up patchboard which is an intersection with a conductor and is characterized by forming a fillet in a right angle or an acute-angle part.

[Translation done.]

NOTICES

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the multilayer build up patchboard which comes to carry out the laminating of the resin insulating layer between layers, and the conductor layer to both sides of a core substrate by turns.

[0002]

[Description of the Prior Art] It comes to carry out the laminating of a conductor layer and the resin insulating layer between layers by turns on the core substrate with which a multilayer build up patchboard consists of about 100-1000-micrometer glass fabrics. A conductor layer is mainly formed by electrolysis or nonelectrolytic plating. The conductor layer on the resin insulating layer between each class is connected through the Bahia hall. It consists of a solid layer used as the saucer of the Bahia hall used as the land of circular or a polygon, a signal line (circuit pattern), and a voltage plane or a grand layer as this conductor layer.

[0003]

[Problem(s) to be Solved by the Invention] However, in the multilayer build up patchboard of the conventional technique, since a part with the thick thickness of a circuit pattern and a thin part occurred and resistance did not become homogeneity, it had had a bad influence on propagation of an electrical signal. Furthermore, since the thickness of the resin insulating layer (30 micrometers) between layers formed in the upper layer of a circuit pattern (thickness of an average of 15 micrometers) became uneven and an electrical property was not made to regularity, it was difficult to raise the engine performance.

[0004] When this invention person studied this cause, it became clear that dispersion had arisen in the thickness of the resin insulating layer between layers with the consistency by which a circuit pattern is arranged, for example, a part with a high wiring consistency — thickness — thin — a consistency — being low (part which does not have a signal line in the surroundings) — it may become thick in time. Moreover, on the contrary, in a part with a high wiring consistency, thickness may be thick and may become thin in the place where a consistency is low.

[0005] From this fact, it is thought that 1st dispersion has arisen with plating thickness. That is, in the part where a wiring consistency is low, electric field concentrate in the case of electrolysis plating, thickness becomes thick, and on the contrary, since electric field distribute, it is thought in the part where a wiring consistency is high that the thickness of a signal line becomes thin.

[0006] furthermore — as the 2nd reason — the circumference of the liquid of an etching reagent — it is thought that dispersion has occurred in the thickness of a circuit pattern. In order to obtain current and the higher engine performance, a multilayer build up patchboard is mainly formed by the semiadditive process. In this semiadditive process, after giving the nonelectrolytic plating film to homogeneity at the resin insulating layer between layers, a conductor layer is formed by forming a resist pattern, energizing through this nonelectrolytic plating film and forming the electrolysis plating film in the agensis section of a resist. Here, after forming the electrolysis plating film and exfoliating a resist, light etching removes the nonelectrolytic plating film under a resist. however, in a part with a high wiring consistency, the

thickness of a circuit pattern worsens [the circumference of the liquid of an etching reagent] thickly, and on the contrary, when a consistency is low, the circumference of liquid is good in this light etching, — elapsing — the thickness of a circuit pattern — line breadth may also become narrow while becoming thin

[0007] It is made in order that this invention may solve the technical problem mentioned above, and the purpose is in offering the multilayer build up patchboard which is excellent in the homogeneity of the thickness of a circuit pattern and the resin insulating layer between layers.

[0008]

[Means for Solving the Problem] the surroundings of the circuit pattern which constitutes said conductor layer in the multilayer build up patchboard with which claim 1 comes to carry out the laminating of the resin insulating layer between layers, and the conductor layer by turns in order to attain the above-mentioned purpose — a dummy — it makes to have arranged the conductor into a technical feature.

[0009] moreover, the surroundings of two or more circuit patterns which constitute said conductor layer in the multilayer build up patchboard with which claim 2 comes to carry out the laminating of the resin insulating layer between layers, and the conductor layer by turns — a dummy — it makes to have arranged the conductor into a technical feature.

[0010] the surroundings of the isolated land which constitutes said conductor layer in the multilayer build up patchboard with which claim 5 comes to carry out the laminating of the resin insulating layer between layers, and the conductor layer by turns — a dummy — it makes to have arranged the conductor into a technical feature.

[0011] the multilayer build up patchboard with which claim 9 comes to carry out the laminating of the resin insulating layer between layers, and the conductor layer by turns — setting — said conductor layer — a dummy — while arranging a conductor — this dummy — a conductor and a dummy — it makes to have formed the fillet in the intersection with a conductor into a technical feature.

[0012] the multilayer build up patchboard with which claim 10 comes to carry out the laminating of the resin insulating layer between layers, and the conductor layer by turns — setting — said conductor layer — a dummy — while arranging a conductor — this dummy — a conductor and a dummy — it is an intersection with a conductor and makes to have formed the fillet in the right angle or the acute-angle part into a technical feature.

[0013] invention of claims 1 and 2 — the surroundings of a circuit pattern — a dummy — since the conductor is arranged, in case a conductor layer is formed with electrolysis plating, concentration of electric field does not occur but a circuit pattern can be formed in predetermined thickness. For this reason, since it becomes possible to form an isolated circuit pattern and the circuit pattern of a high density part in uniform thickness and thickness of the resin insulating layer between layers of this circuit pattern upper layer is further made to homogeneity, the electrical property of a multilayer build up patchboard can be raised. in addition, the circuit pattern and dummy which are by this invention — it writes in addition that a conductor does not need to be formed on the so-called core substrate by way of precaution.

[0014] invention of claim 3 — a dummy — since the width of face of a conductor is increased 1 to 3 times of the minimum width of face of a circuit pattern — concentration of electric field — not generating — a circuit pattern and a dummy — a conductor can be formed in predetermined thickness.

[0015] invention of claim 4 — a dummy — since spacing of a conductor and a circuit pattern is increased 1 to 3 times of the minimum width of face of a circuit pattern — concentration of electric field — not generating — a circuit pattern and a dummy — a conductor can be formed in predetermined thickness.

[0016] invention of claim 5 — the surroundings of an isolated land — a dummy — since the conductor is arranged, in case a conductor layer is formed with electrolysis plating, concentration of electric field does not occur but an isolated land can be formed in predetermined thickness. For this reason, it

becomes possible to form an isolated land and the land of a high density part in uniform thickness, and it can raise the electrical property of a multilayer build up patchboard.

[0017] invention of claim 6 — the surroundings of an isolated land — a dummy — since it has surrounded with the conductor, an isolated land can mitigate being influenced of the noise from the outside etc.

[0018] invention of claim 7 — a dummy — since the width of face of a conductor is increased 1 of the path of a land / 6 to 3 times — concentration of electric field — not generating — a land and a dummy — a conductor can be formed in predetermined thickness.

[0019] invention of claim 8 — a dummy — since the minimum interval of a conductor and an isolated land is increased 1 of the diameter of a land / 6 to 3 times — concentration of electric field — not generating — a land and a dummy — a conductor can be formed in predetermined thickness.

[0020] invention of claim 9 — a dummy — a conductor and a dummy — since the fillet is formed in the intersection with a conductor — a dummy — a conductor — mutual is connectable proper.

[0021] invention of claim 10 — a dummy — a conductor and a dummy — it is an intersection with a conductor, and since the fillet is formed in the right angle or the acute-angle part, a right angle and an acute-angle part are lost, and the crack by the stress concentration resulting from a corner does not occur.

[0022] It is desirable to use the adhesives for nonelectrolytic plating as the above-mentioned resin insulating layer between layers in this invention. The heat-resistant-resin particle of fusibility of the thing which it comes to distribute in an acid or the heat resistant resin which is not hardened [poorly soluble] to an oxidizer is [these adhesives for nonelectrolytic plating] the optimal to the acid or oxidizer by which hardening processing was carried out. a heat-resistant-resin particle carries out dissolution removal by processing with an acid and an oxidizer — having — a front face — an octopus — the roughening side which consists of end-crater-like support can be formed.

[0023] In the above-mentioned adhesives for nonelectrolytic plating, as said heat-resistant-resin particle by which especially hardening processing was carried out ** The floc which heat-resistant-resin powder 10 micrometers or less and ** mean particle diameter made condense [mean particle diameter] heat-resistant-resin powder 2 micrometers or less, The heat-resistant powdered resin powder and mean particle diameter whose mean particle diameter is 2-10 micrometers ** Mixture with heat-resistant-resin powder 2 micrometers or less, ** The false particle to which mean particle diameter makes one sort come to adhere to it even if the front face of heat-resistant-resin powder whose mean particle diameter is 2-10 micrometers has little heat-resistant-resin powder 2 micrometers or less or inorganic powder either, ** It is desirable for the heat-resistant powdered resin powder and mean particle diameter whose mean particle diameter is 0.1-0.8 micrometers to exceed 0.8 micrometers, and to use mixture with less than 2-micrometer heat-resistant-resin powder and the heat-resistant powdered resin powder whose ** mean particle diameter is 0.1-1.0 micrometers. These are because more complicated support can be formed.

[0024] The depth of a roughening side has good $R_{max}=0.01-20$ micrometer. It is for securing adhesion. In a semiadditive process, 0.1-5 micrometers is especially good. It is because the nonelectrolytic plating film is removable, securing adhesion.

[0025] It is desirable to become said acid or oxidizer from "the resin complex which consists of thermosetting resin and thermoplastics", or "the resin complex which consists of a photopolymer and thermoplastics" as heat resistant resin of refractory **. About the former, thermal resistance is high and it is because opening for the Bahia halls can be formed with photolithography about the latter.

[0026] As said thermosetting resin, an epoxy resin, phenol resin, polyimide resin, etc. can be used. Moreover, when sensitization-izing, a methacrylic acid, an acrylic acid, etc. and a heat-curing radical are made to acrylic-ization-react. Especially the acrylate of an epoxy resin is the optimal. As an epoxy resin, novolak mold epoxy resins, such as a phenol novolak mold and a cresol novolak mold, the cycloaliphatic epoxy resin which carried out dicyclopentadiene conversion can be used.

[0027] As thermoplastics, polyether sulfone (PES), polysulfone (PSF), polyphenylene sulfone (PPS), polyphenylene sulfide (PPES), a polyphenyl ether (PPE), polyether imide (PI), etc. can be used. As for the mixed rate of thermosetting resin (photopolymer) and thermoplastics, thermosetting resin (photopolymer) / thermoplastics = 95 / 5 - 50/50 are good. It is because a high toughness value is securable, without spoiling thermal resistance.

[0028] The mixed weight ratio of said heat-resistant-resin particle has 10 - 40 desirably good % of the weight five to 50% of the weight to the solid content of a heat-resistant-resin matrix. A heat-resistant-resin particle has amino resin (melamine resin, a urea-resin, guanamine resin), a good epoxy resin, etc. In addition, two-layer [from which a presentation differs] may constitute adhesives.

[0029] In addition, the resin which various resin could be used [resin], for example, stiffened the acrylate of the acrylate of the bisphenol A mold epoxy resin and the bisphenol A mold epoxy resin, a novolak mold epoxy resin, and a novolak mold epoxy resin with the amine system curing agent, the imidazole curing agent, etc. as a solder resist layer added to the front face of a multilayer build up patchboard can be used.

[0030] On the other hand, since such a solder resist layer consists of resin with an upright frame, exfoliation may produce it. For this reason, exfoliation of a solder resist layer can also be prevented by preparing a reinforcement layer.

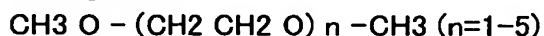
[0031] Here, as acrylate of the above-mentioned novolak mold epoxy resin, the epoxy resin to which the glycidyl ether of a phenol novolak or a cresol novolak was made to react with an acrylic acid, a methacrylic acid, etc. can be used.

[0032] The liquefied thing of the above-mentioned imidazole curing agent is desirable at 25 degrees C. It is because homogeneity mixing can be carried out if liquefied. As such a liquefied imidazole curing agent, 1-benzyl-2-methylimidazole (name of article: 1 B-2 MZ), 1-cyanoethyl-2-ethyl-4-methylimidazole (name of article: 2E4 MZ-CN), and a 4-methyl-2-ethyl imidazole (name of article: 2E4MZ) can be used.

[0033] As for the addition of this imidazole curing agent, it is desirable to consider as 1 - 10 % of the weight to the total solid content of the above-mentioned solder resist constituent. This reason is that it will be easy to carry out homogeneity mixing if an addition is within the limits of this.

[0034] As for the constituent before hardening of the above-mentioned solder resist, it is desirable to use the solvent of a glycol ether system as a solvent. A free acid is not generated and the solder resist layer using such a constituent does not oxidize a copper pad front face. Moreover, there is also little harmful nature to the body.

[0035] as such a glycol ether system solvent — the thing of the following structure expression — it is especially chosen out of diethylene-glycol wood ether (DMDG) and triethylene glycol wood ether (DMTG) desirably — one sort is used even if few either. These solvents are because the benzophenone and Michler's ketone which are a reaction initiator can be completely dissolved by warming of about 30-50 degrees C.



10 - 70wt% of the solvent of this glycol ether system is good to the total weight of a solder resist constituent.

[0036] In addition to this in a solder resist constituent which was explained above, a photosensitive monomer etc. can be added for thermosetting resin and a resolution improvement for various defoaming agents, a leveling agent, thermal resistance, the improvement of basicity-proof, and flexible grant. For example, what consists of a polymer of acrylic ester as a leveling agent is good. Moreover, as an initiator, Nippon Kayaku DETX-S is good as the Ciba-Geigy IRUGA cure I907 and a photosensitizer. Furthermore, coloring matter and a pigment may be added to a solder resist constituent. It is because a circuit pattern can be concealed. It is desirable to use Phthalocyanine Green as this coloring matter.

[0037] A bisphenol mold epoxy resin can be used as the above-mentioned thermosetting resin as an addition component. When there are the bisphenol A mold epoxy resin and a bisphenol female mold epoxy resin as this bisphenol mold epoxy resin, it thinks basicity-proof as important to it and

hypoviscosity-ization is required of it for the former, the latter is good for it (when thinking spreading nature as important).

[0038] A multiple-valued acrylic monomer can be used as the above-mentioned photosensitive monomer as an addition component. A multiple-valued acrylic monomer is because resolution can be raised. For example, R-604 of Nippon Kayaku DPE-6A and the product made from the Kyoeisha chemistry can be used as a multiple-valued acrylic monomer. Moreover, these solder resist constituents have more desirably good 1 – 10 Pa-s 0.5 to 10 Pa-s at 25 degrees C. It is because it is the viscosity which is easy to apply by the roll coater.

[0039]

[Embodiment of the Invention] Hereafter, the multilayer build up patchboard concerning the operation gestalt of this invention and its manufacture approach are explained with reference to drawing. First, the configuration of the multilayer build up patchboard 10 concerning the 1st operation gestalt of this invention is explained with reference to drawing 6 (T), drawing 7, and drawing 8. Drawing 6 (T) shows the sectional view of the multilayer printed wiring board 10 before IC chip loading, and drawing 7 lays the IC chip 90 in the multilayer printed wiring board 10 shown in drawing 6 (T), and it shows the condition of having attached in the DOTA board 94.

[0040] as shown in drawing 7, in the multilayer build up patchboard 10, a through hole 36 forms in the core substrate 30 — having — both sides of this core substrate 30 — a conductor — the circuit 34 is formed. moreover, on this core substrate 30, the resin insulating layer 50 between lower layer side layers arranges — having — the resin insulating layer 50 between lower layer side layers — Bahia hall 60, circuit pattern 58S, and land 58R and a dummy — a conductor — the conductor layer which consists of 58D is formed. on this resin insulating layer 50 between lower layer layers, the resin insulating layer 150 between the upper layers arranges — having — the resin insulating layer 150 between layers — the Bahia hall 160, signal-line 158S, and a dummy — a conductor — the conductor layer which consists of 158D is formed.

[0041] Solder bump 76U for connecting with the land 92 of the IC chip 90 is arranged in the top-face side of the multilayer build up patchboard 10. Solder bump 76U is connected to the through hole 36 through the Bahia hall 160 and the Bahia hall 60. On the other hand, solder bump 76D for connecting with the land 96 of a daughter board 94 is arranged in the inferior-surface-of-tongue side. This solder bump 76D is connected to the through hole 36 through the Bahia hall 160 and the Bahia hall 60.

[0042] The top view of the conductor layer formed in the X-X cross section of drawing 7, i.e., the front face of the resin insulating layer 50 between lower layer layers, is shown in drawing 8. The E-E cross section of drawing 8 is equivalent to drawing 7. it is shown in drawing 8 — as — the resin insulating layer 50 top between layers — as a conductor layer — circuit pattern 58S, land 58R, and isolated land 58RS and a dummy — a conductor — 58D and a dummy — a conductor — 58DS is formed.

[0043] All over drawing, the part enclosed with A is expanded and it is shown in drawing 9 (A). the surroundings of circuit pattern 58S isolated with this operation gestalt — a dummy — a conductor — 58D is arranged. On the other hand, the part enclosed with B in drawing 8 is expanded, and it is shown in drawing 9 (B). here — the surroundings of three circuit pattern 58S — a dummy — a conductor — 58D is arranged; the multilayer build up patchboard of this operation gestalt — the surroundings of circuit pattern 58S — a dummy — a conductor — in case a conductor layer is formed with electrolysis plating so that it may mention later since 58D is arranged, concentration of electric field does not occur, does not become exaggerated etching in light etching mentioned later, but can form circuit pattern 58S in predetermined thickness (15 micrometers) and width of face (37 micrometers). Moreover, since it becomes possible to form an isolated signal line and the signal line of a high density part in uniform thickness, thickness of the resin insulating layer 150 between layers of this signal-line upper layer is made to homogeneity, and the electrical property of a multilayer build up patchboard can be raised.

[0044] in addition, a dummy — a conductor — the width of face of 58D is increased 1 to 3 times (37–111 micrometers) of the minimum width of face (37 micrometers) of circuit pattern 58S. if it is this width

of face — circuit pattern 58S and a dummy — a conductor — 58D — concentration of electric field — not generating — the signal line concerned and a dummy — a conductor can be formed in predetermined thickness. on the other hand — a dummy — a conductor — the minimum interval D1 of 58D and circuit pattern 58S is increased 1 to 3 times (37–111 micrometers) of a signal line 38. for this reason, concentration of electric field — not generating — a circuit pattern and a dummy — a conductor can be formed in predetermined thickness.

[0045] The part enclosed with C in drawing 8 is expanded, and it is shown in drawing 10 (C). isolated land 58RS — a dummy — a conductor — it is surrounded by 58DS. isolated land 58RS is surrounded in the multilayer build up patchboard of this operation gestalt — as — a dummy — a conductor — in case a conductor layer is formed with electrolysis plating so that it may mention later since 58DS is arranged, concentration of electric field does not occur, does not become exaggerated etching in light etching mentioned later, but can form isolated land 58RS in predetermined thickness (15 micrometers) and a predetermined path (133 micrometers). For this reason, since it becomes possible to form isolated land 58DS and land 58D of a high density part in uniform thickness and thickness of the resin insulating layer 150 between layers of this circuit pattern upper layer is further made to homogeneity, the electrical property of a multilayer build up patchboard can be raised.

[0046] in addition, the surrounding dummy of isolated land 58RS — a conductor — since the minimum width of face of 58DS is increased 1 of the diameter (133 micrometers) of a land / 6 to 3 times (22–399 micrometers) — concentration of electric field — not generating — a land and a dummy — a conductor can be formed in predetermined thickness. moreover, a dummy — a conductor — since the minimum interval D2 of 58DS, an isolated land, and 58RSes is increased 1 of the diameter of a land / 6 to 3 times (22–399 micrometers) — concentration of electric field — not generating — a land and a dummy — a conductor can be formed in predetermined thickness. furthermore, the surroundings of isolated land 58RS — a dummy — a conductor — since it has surrounded by 58DS, it is mitigable that isolated land 58RS is influenced of the noise from the outside etc.

[0047] Drawing 10 (C') shows the isolated land from which the isolated land shown in drawing 10 (C) differs. the example shown in drawing 10 (C') — a dummy — a conductor — it connects with the Bahia hall 60 and 58DS is connected to the earth line by the side of the core substrate 30. (refer to drawing 7). this example — a dummy — a conductor — since 58DS is connected to the ground, it can prevent influencing isolated land 58RS of the noise from the outside etc.

[0048] The part enclosed with D in drawing 8 is expanded, and it is shown in drawing 11. the multilayer build up patchboard 10 of this operation gestalt — a dummy — a conductor — 58D and a dummy — a conductor — it is an intersection with 58D and the fillet F2 has formed the fillet F1 in the acute-angle part at the right-angle section. for this reason, a dummy — a conductor — mutual is connectable proper. Moreover, a right angle and an acute-angle part are lost, and the crack by the stress concentration resulting from a corner does not occur. That is, although a crack may occur in the resin insulating layer between layers with the corner as the starting point which concentrates and requires thermal stress in a thermo cycle when a part of conductor layer has a corner, generating of the starting crack can be prevented in the multilayer build up patchboard of this operation gestalt.

[0049] Drawing 12 (E) shows the case where circuit pattern 58S and isolated land 58RS are close. the case where it starts — circuit pattern 58S and isolated land 58RS — both — a dummy — a conductor — it can surround by 58D. On the other hand, drawing 12 (F) shows the case where plane layer 58H for voltage planes exist near circuit pattern 58S. the case where it starts — especially — between circuit pattern 58S and plane layer 58H — a dummy — it is not necessary to arrange a conductor

[0050] Then, the manufacture approach of the multilayer multilayer build up patchboard concerning the 1st operation gestalt mentioned above is explained with reference to drawing. Here, the presentation of the adhesives for A. nonelectrolytic plating used for the manufacture approach of the multilayer multilayer build up patchboard of the 1st operation gestalt, the resin insulation agent between B. layers, C. resin bulking agent, and D. solder resist constituent is explained.

[0051] A. Raw material constituent for adhesives preparation for nonelectrolytic plating (adhesives for the upper layers)

[Resin constituent **] They are 35 weight sections, the photosensitive monomer (Toagosei make and ARONIKKUSU M315) 3.15 weight section, and a defoaming agent (the Sannopuko make, S-65) 0.5 about the resin liquid made to dissolve 25% acrylic ghost of a cresol novolak mold epoxy resin (the Nippon Kayaku make, molecular weight 2500) in DMDG by 80wt(s)% concentration. Stirring mixing was carried out and the weight section and the NMP 3.6 weight section were obtained.

[0052] [Resin constituent **] The polyether sulfone (PES) 12 weight section, mean particle diameter of an epoxy resin particle (Mitsuhiro formation make, the polymer pole) 1.0-micrometer thing The 7.2 weight sections, mean particle diameter After mixing the 3.09 weight sections for a 0.5-micrometer thing, the NMP30 weight section was added further, and with the bead mill, stirring mixing was carried out and it obtained.

[0053] [Curing agent constituent **] The imidazole curing agent (Shikoku formation make, 2E4 MZ-CN) 2 weight section, the photoinitiator (Ciba-Geigy make, IRUGA cure I-907) 2 weight section, and photosensitizer 0.2 (the Nippon Kayaku make, DETX-S) Stirring mixing was carried out and the weight section and the NMP 1.5 weight section were obtained.

[0054] B. The raw material constituent for resin insulation agent preparation between layers (adhesives for lower layers)

[Resin constituent **] They are 35 weight sections, the photosensitive monomer (Toagosei make and ARONIKKUSU M315) 4 weight section, and a defoaming agent (the Sannopuko make, S-65) 0.5 about the resin liquid made to dissolve 25% acrylic ghost of a cresol novolak mold epoxy resin (the Nippon Kayaku make, molecular weight 2500) in DMDG by 80wt(s)% concentration. Stirring mixing was carried out and the weight section and the NMP 3.6 weight section were obtained.

[0055] [Resin constituent **] The polyether sulfone (PES) 12 weight section, mean particle diameter of an epoxy resin particle (Mitsuhiro formation make, the polymer pole) 0.5-micrometer thing After mixing the 14.49 weight sections, the NMP30 weight section was added further, and with the bead mill, stirring mixing was carried out and it obtained.

[0056] [Curing agent constituent **] The imidazole curing agent (Shikoku formation make, 2E4 MZ-CN) 2 weight section, the photoinitiator (Ciba-Geigy make, IRUGA cure I-907) 2 weight section, and photosensitizer 0.2 (the Nippon Kayaku make, DETX-S) The weight section and NMP1.5 Stirring mixing was carried out and the weight section was obtained.

[0057] C. the raw material constituent [resin constituent **] bisphenol female mold epoxy monomer for resin bulking agent preparation (the product made from oil-ized shell —) Molecular weight 310, the YL983U100 weight section, mean-particle-diameter spherical particle by which coating of the silane coupling agent was carried out to the front face SiO₂ which is 1.6 micrometers (the product made from an ADOMA tech, CRS 1101-CE, and here) magnitude of grain of maximum size is made below into the thickness (15 micrometers) of the inner layer copper pattern mentioned later — the 170 weight sections and leveling agent (the Sannopuko make, PERENORU S4) 1.5 By carrying out stirring mixing of the weight section It is 45,000-49,000cps at 23**1 degree C about the viscosity of the mixture. It adjusted and obtained.

[Curing agent constituent **]-Imidazole curing agent 6.5 (Shikoku formation make, 2E4 MZ-CN) Weight section.

[0058] D. Oligomer of the photosensitive grant which acrylic-ized 50% of epoxy groups of 60% of the weight of the cresol novolak mold epoxy resin (Nippon Kayaku make) dissolved in the solder resist constituent DMDG (molecular weight 4000) 46.67g, 80% of the weight of the bisphenol A mold epoxy resin (the product made from oil-ized shell —) dissolved in the methyl ethyl ketone Epicoat 1001 15.0g and an imidazole curing agent (Shikoku — formation — make —) the multiple-valued acrylic monomer (the Nippon Kayaku make —) which are 2E4 MZ-CN1.6 g and a photosensitive monomer R604 3g — the same — multiple-valued acrylic monomer (the product made from the Kyoeisha chemistry, and DPE6A)

1.5g 0.71g (the Sannopuko make, S-65) of dispersed system defoaming agents is mixed, and this mixture is received further. The benzophenone (product made from the Kanto chemistry) as a photoinitiator 2g, Michler's ketone as a photosensitizer (product made from the Kanto chemistry) 0.2g, in addition the solder resist constituent which adjusted viscosity to 2.0 Pa-s at 25 degrees C were obtained. In addition, measurement of viscosity is a Brookfield viscometer (Tokyo Keiki and DVL-B mold). In the case of 60rpm, they are rotor No.4 and 6rpm. The case was based on rotor No.3.

[0059] Then, the production process of the multilayer build up patchboard concerning the 1st operation gestalt of this invention is explained with reference to drawing 1 thru/or drawing 7. With this 1st operation gestalt, a multilayer build up patchboard is formed depending on the method of a semi additive.

[0060] (1) Copper clad laminate 30A which 18-micrometer copper foil 32 laminates to both sides of the substrate 30 which consists of a glass epoxy resin with a thickness of 1mm or BT (bismaleimide triazine) resin as shown in drawing 1 (A) was used as the start ingredient. first, the thing which drill drilling of this copper clad laminate 30A is carried out, nonelectrolytic plating processing is performed, and a through hole 36 is formed (drawing 1 (B)), and is etched in the shape of a pattern — a conductor — the core substrate 30 shown in drawing 1 (C) is formed by arranging a circuit 34.

[0061] (2) a conductor — washing in cold water the substrate 30 in which the circuit 34 and the through hole 36 were formed, and as an oxidation bath (melanism bath), after drying NaOH (10 g/l) and NaClO 2 (40 g/l) Na3 PO4 (6 g/l) As a reduction bath, it is NaOH (10 g/l) and NaBH4. (6 g/l) By oxidation-reduction processing in which it used a conductor — the roughening layer 38 was formed in the front face of a circuit 34 and a through hole 36 (refer to drawing 1 (D)).

[0062] (3) Mixed kneading of the raw material constituent for resin bulking agent preparation of C was carried out, and the resin bulking agent was obtained.

[0063] (4) Above (3) By using the obtained resin bulking agent 40 within 24 hours, using a roll coater for both sides of a substrate 30 after preparation, and applying It is filled up between circuits 34 and in a through hole 36. a conductor — a circuit 34 and a conductor — it dries in 70 degrees C and 20 minutes — making — the field of another side — the same — carrying out — a conductor — a circuit 34 and a conductor — it was filled up with the resin bulking agent 40 between circuits 34 or in the through hole 36, and stoving was carried out in 70 degrees C and 20 minutes (refer to drawing 2 (E)).

[0064] (5) the above (4) one side of a substrate 30 which finished processing — #600 the belt sander polish using belt abrasive paper (Sankyo Rikagaku make) — a conductor — it ground so that the resin bulking agent 40 might remain neither in the front face of a circuit 34, nor the land 36a front face of a through hole 36, and subsequently buffing for removing the blemish by said belt sander polish was performed. Such a series of polishes were similarly performed about the field of another side of a substrate (refer to drawing 2 (F)). Subsequently, it performed by 100 ** for 1 hour, 150 degree C performed heat-treatment of 7 hours at 180 degree C by 120 ** for 1 hour for 3 hours, and the resin bulking agent 40 was hardened.

[0065] thus, the surface section of the resin bulking agent 40 with which the through hole 36 grade was filled up and a conductor — after removing the roughening layer 38 of circuit 34 top face and graduating substrate 30 both sides — the resin bulking agent 40 and a conductor — the wiring substrate which the side face of a circuit 34 stuck firmly through the roughening layer 38, and the internal surface and the resin bulking agent 40 of a through hole 36 stuck firmly through the roughening layer 38 was obtained, namely, this process — the front face of the resin bulking agent 40, and a conductor — the front face of a circuit 34 turns into the same flat surface.

[0066] (6) Carry out alkaline degreasing to the substrate 30 in which the circuit 34 was formed, and carry out software etching, a conductor — subsequently Process with the catalyst solution which consists of a palladium chloride and an organic acid, and Pd catalyst is given. Copper-sulfate 3.2×10^{-2} mol/l, nickel-sulfate 3.9×10^{-3} mol/l after activating this catalyst, Complexing agent 5.4×10^{-2} mol/l, sodium hypophosphite 3.3×10^{-1} mol/l, boric-acid 5.0×10^{-1} mol/l and a surfactant (the Nissin Chemical Industry make —) It dips in Sir FIRU 465 0.1 g/l and the nonelectrolytic plating liquid which consists of

PH=9. after [of immersion] 1 minute — 1 time per 4 seconds — a rate — length — and transverse oscillation is carried out — making — a conductor — the enveloping layer and the roughening layer 42 of a needlelike alloy which consist of Cu-nickel-P were prepared in the front face of land 36a of a circuit 34 and a through hole 36, and pars-basilaris-ossis-occipitalis 60a of the Bahia hall (refer to drawing 2 (G)).

[0067] Furthermore, the Cu-Sn substitution reaction was carried out on condition that HOUFU **-ized tin 0.1 mol/l, thiourea 1.0 mol/l, the temperature of 35 degrees C, and PH=1.2, and 0.3micromSn layer (not shown) in thickness was prepared in the front face of a roughening layer.

[0068] (7) Stirring mixing of the raw material constituent for resin insulation agent preparation between layers of B was carried out, it adjusted to viscosity 1.5 Pa-s, and the resin insulation agent between layers (for lower layers) was obtained. Subsequently, stirring mixing of the raw material constituent for adhesives preparation for nonelectrolytic plating of A was carried out, it adjusted to viscosity 7 Pa-s, and the adhesives solution for nonelectrolytic plating (for the upper layers) was obtained:

[0069] (8) Above (6) To both sides of a substrate, it is the above (7). Obtained viscosity It applies within 24 hours by the roll coater after preparing the resin insulation agent 44 between layers of 1.5 Pa-s (for lower layers). After leaving it for 20 minutes in the level condition, desiccation for 30 minutes (prebaking) is performed at 60 degrees C. Subsequently After applying within 24 hours after preparing the photosensitive adhesives solution (for the upper layers) 46 of viscosity 7 Pa-s obtained above (7) and leaving it for 20 minutes in the level condition, desiccation for 30 minutes (prebaking) was performed at 60 degrees C, and with a thickness of 35 micrometers adhesives layer 50alpha was formed (refer to drawing 2 (H)).

[0070] (9) Above (8) The photo-mask film (not shown) with which the black spot of 85 micrometerphi was printed is stuck to both sides of the substrate 30 in which the adhesives layer was formed, and it is an ultrahigh pressure mercury lamp. 500 mJ/cm2 It exposed. Spray development of this is carried out with a DMTG solution, and it is the substrate 30 concerned by the ultrahigh pressure mercury lamp further 3000 mJ/cm2 It exposes. 100 **1 hour, 120 **1 hour, after that By carrying out heat-treatment (postbake) of 3 hours at 150 degrees C The resin insulating layer 50 with a thickness of 35 micrometers which has the opening (opening for the Bahia hall formation) 48 of 85 micrometerphi excellent in the dimensional accuracy equivalent to a photo-mask film between layers (two-layer structure) was formed (refer to drawing 3 (I)). In addition, the tinning layer (not shown) was partially exposed to the opening 48 used as the Bahia hall.

[0071] (10) By immersing the substrate 30 with which opening 48 was formed in a chromic acid for 19 minutes, and carrying out dissolution removal of the epoxy resin particle which exists in the front face of the resin insulating layer 50 between layers, the front face of the resin insulating layer 50 between layers concerned was roughened (refer to drawing 3 (J)), and after being immersed in the neutralization solution (product made from SHIPUREI) after that, it washed in cold water.

[0072] (11) Attach a catalyst nucleus to the front face of the resin insulating layer 50 between layers by giving a palladium catalyst (product made from ATOTEKKU) to the front face of the base 30 which roughened the front face in the stroke of the above (10). Then, a substrate 30 is immersed into the non-electrolytic copper plating water solution of the presentation shown below, and the nonelectrolytic plating film 52 with a thickness of 0.6 micrometers is formed in the whole (refer to drawing 3 (K)).

[Nonelectrolytic plating water solution]

EDTA 150 g/l copper sulfate 20 g/lHCHO 30 ml/INaOH 40 g/lalpha and alpha'-bipyridyl 80 mg/IPEG 0.1 g/l [nonelectrolytic plating conditions] It is 30 minutes [0073] by whenever [70-degree C solution temperature].

(12) Stick commercial photosensitive dry film 54alpha on the non-electrolytic copper plating film 52 formed above (11), lay the mask 53 with which predetermined pattern 53a was drawn, and it is 100 mJ/cm2. After exposing (drawing 3 (L)), the development was carried out by the 0.8 % sodium carbonate, and the plating resist 54 with a thickness of 15 micrometers was formed (refer to drawing 4 (M)).

[0074] (13) Subsequently, by passing a current through the non-electrolytic copper plating film 52, electrolytic copper plating was performed to the resist agenesis part on condition that the following, and the electrolytic copper plating film 56 with a thickness of 15 micrometers was formed (refer to drawing 4 (N)).

[Electrolysis plating water solution]

Sulfuric acid 180 g/l Copper sulfate 80 g/l Additive (made in ATOTEKKU Japan, KAPARASHIDO GL) 1 ml/l [Electrolysis Plating Conditions]

Current density 1 A/dm² Time amount 30 minutes Temperature Room temperature [0075] Here, a conductor layer and the Bahia hall 60 are formed by forming the electrolytic copper plating film 56 on the non-electrolytic copper plating film 52. as this conductor layer, it mentioned above with reference to drawing 8 — as — circuit pattern 58S, land 58R, isolated land 58RS, and a dummy — a conductor — 58D and a dummy — a conductor — 58DS is formed (inside [of drawing 4 (O)], and circuit pattern 58S and land 58R, and a dummy — a conductor — only 58 D is shown). the surroundings of circuit pattern 58S isolated with this operation gestalt here, and isolated land 58RS — a dummy — a conductor — since 58D and 58DS are arranged, in the above-mentioned electrolysis plating, concentration of electric field does not occur but circuit pattern 58S and land 58R and isolated land 58RS can be formed in the thickness of homogeneity.

[0076] (14) First, 5%, by KOH, carry out exfoliation removal and carry out plating resist 54. Then, the conductor layer with a thickness of 15 micrometers and the Bahia hall 60 which consist of non-electrolytic copper plating film 52 and electrolytic copper plating film 56 as etching processing (light etching) was carried out, dissolution removal is carried out and the nonelectrolytic plating film 52 under plating resist was mentioned above with the mixed liquor of a sulfuric acid and a hydrogen peroxide were formed (drawing 4 (O)).

[0077] the surroundings of circuit pattern 58S isolated with this operation gestalt in case light etching removes the nonelectrolytic plating film 52 — a dummy — a conductor — since 58D is arranged, the circumference of the liquid of an etching reagent becomes uniform, and can form circuit pattern 58S in the thickness (15 micrometers) and width of face (37 micrometers) of homogeneity.

[0078] (15) and (6) the same processing — carrying out — circuit pattern 58S and a dummy — a conductor — the front face of 58D and land 58R and the Bahia hall 60 — Cu-nickel-P from — the becoming roughening side 62 was formed and Sn permutation was further performed on the front face (refer to drawing 5 (P)).

[0079] (16) and (7) repeating the process of — (15) — further — the upper resin-insulating layer 150 between layers and the Bahia hall 160, signal-line 158S, and a dummy — a conductor — a multilayer build up patchboard is completed by forming 158D (refer to drawing 5 (Q)): in addition, the conductor of this upper layer — Sn permutation was not performed in the process which forms a circuit.

[0080] (17) And form a solder bump in the multilayer build up patchboard mentioned above. Solder resist constituent 70alpha explained by above-mentioned D. is applied to substrate 30 both sides acquired above (16) by the thickness of 45 micrometers. Subsequently, the photo-mask film (not shown) with a thickness of 5mm with which the circle pattern (mask pattern) was drawn after performing for 20 minutes at 70 degrees C and performing desiccation processing for 30 minutes at 70 degrees C is stuck, and it lays, and is 1000 mJ/cm². A DMTG development is exposed and carried out by ultraviolet rays. And further, it heat-treats at 120 degree C by 100 degree C for 1 hour for 1 hour, and heat-treats [80 degrees C] on the conditions of 3 hours by 150 degree C for 1 hour, and the solder resist layer (thickness of 20 micrometers) 70 which has opening (diameter of opening 200 micrometers) 71 into a solder pad part (the Bahia hall and its land part are included) is formed (refer to drawing 5 (R)).

[0081] (18) next, nickel chloride 2.31x10⁻¹ mol/l, sodium hypophosphite 2.8 x10⁻¹ mol/l, and sodium-citrate 1.85x10⁻¹ mol/l — since — this substrate 30 was immersed in the becoming non-electrolyzed nickel-plating liquid of pH=4.5 for 20 minutes, and the nickel-plating layer 72 with a thickness of 5 micrometers was formed in opening 71. Furthermore, the solder pad 75 is formed in the Bahia hall 160

by the substrate being immersed in the non-electrolyzed gilding liquid which consists of gold cyanide potassium 4.1×10^{-2} mol/l, ammonium-chloride 1.87×10^{-1} mol/l, sodium-citrate 1.16×10^{-1} mol/l, and sodium hypophosphite 1.7×10^{-1} mol/l for 7 minutes and 20 seconds on 80-degree C conditions, and forming the gilding layer 74 with a thickness of 0.03 micrometers on a nickel-plating layer (refer to drawing 6 (S)). Then, the reinforcement layer 78 of a solder resist 70 is covered.

[0082] (19) And by printing soldering paste to the opening 71 of the solder resist layer 70, and carrying out a reflow to it at 200 degrees C, the solder bumps (solder object) 76U and 76D were formed, and the multilayer build up patchboard 10 was completed (refer to drawing 6 R> 6 (T)).

[0083] It lays in solder bump 76U of the completed multilayer printed wiring board 10 so that the pad 92 of the IC chip 90 may correspond, and a reflow is performed to it, and the IC chip 90 is carried in it. Then, the multilayer printed wiring board 10 carrying this IC chip 90 is laid so that it may correspond to the bump 96 by the side of the DOTA board 94, a reflow is performed, and it attaches in the DOTA board 94. (Refer to drawing 7).

[Translation done.]

* NOTICES *

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 (A), drawing 1 (B), drawing 1 (C), and drawing 1 (D) are the production process Figs. of the multilayer build up patchboard concerning the 1st operation gestalt of this invention.

[Drawing 2] Drawing 2 (E), drawing 2 (F), drawing 2 (G), and drawing 2 (H) are the production process Figs. of the multilayer build up patchboard concerning the 1st operation gestalt of this invention.

[Drawing 3] Drawing 3 (I), drawing 3 (J), drawing 3 (K), and drawing 3 (L) are the production process Figs. of the multilayer build up patchboard concerning the 1st operation gestalt of this invention.

[Drawing 4] Drawing 4 (M), drawing 4 (N), and drawing 4 (O) are the production process Figs. of the multilayer build up patchboard concerning the 1st operation gestalt of this invention.

[Drawing 5] Drawing 5 (P), drawing 5 (Q), and drawing 5 (R) are the production process Figs. of the multilayer build up patchboard concerning the 1st operation gestalt of this invention.

[Drawing 6] It is the sectional view of the multilayer build up patchboard concerning drawing 6 (S) and the 1st operation gestalt of drawing 6 (T) this invention.

[Drawing 7] It is the sectional view of the multilayer build up patchboard concerning the 1st operation gestalt of this invention.

[Drawing 8] Drawing 8 is the X-X cross-sectional view of drawing 7.

[Drawing 9] Drawing 9 (A) is the A section enlarged drawing in drawing 8, and drawing 9 R> 9 (B) is the B section enlarged drawing in drawing 8.

[Drawing 10] Drawing 10 (C) is the C section enlarged drawing in drawing 8, and drawing 10 (C') is the enlarged drawing of an isolated land.

[Drawing 11] Drawing 11 is the enlarged drawing of the D section in drawing 8.

[Drawing 12] drawing 12 (E) and drawing 12 (F) -- a signal line and a dummy -- it is the enlarged

drawing of a conductor.

[Description of Notations]

30 Core Substrate

36 Bahia Hall

50 Resin Insulating Layer between Layers

58 Conductor — Circuit

58S Circuit pattern

58R Land

58RSes Isolated land

58D a dummy — a conductor

58DSs and a dummy — a conductor

60 Bahia Hall

150 Resin Insulating Layer between Layers

160 Bahia Hall

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-294925

(P2000-294925A)

(43) 公開日 平成12年10月20日 (2000.10.20)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
H 0 5 K 3/46		H 0 5 K 3/46	B 5 E 3 4 6
			Z
H 0 1 L 23/12		H 0 1 L 23/12	N

審査請求 未請求 請求項の数10 OL (全 14 頁)

(21) 出願番号 特願平11-94725

(22) 出願日 平成11年4月1日 (1999.4.1)

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72) 発明者 広瀬 直宏

岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社北工場内

(74) 代理人 100095795

弁理士 田下 明人 (外1名)

Fターム(参考) 5E346 AA12 AA15 BB01 BB02 BB04

BB15 BB16 CC31 DD03 DD22

EE31 EE33 EE38 FF12 GG02

GG15 GG17 GG19 GG25 GG27

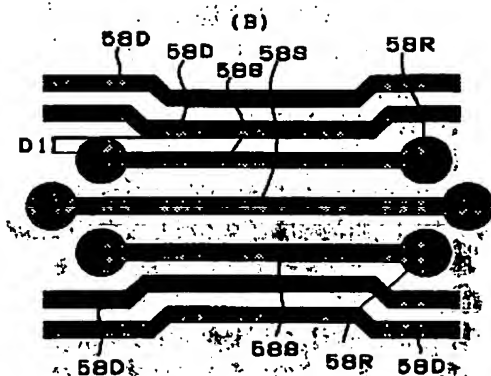
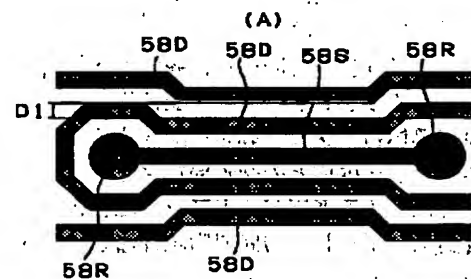
HH01 HH11 HH21 HH26

(54) 【発明の名称】 多層ビルドアップ配線板

(57) 【要約】

【課題】 配線パターン及び層間樹脂絶縁層の厚みの均質性に優れた多層ビルドアップ配線板を提供する。

【解決手段】 配線パターン58Sの回りにダミー導体58Dを配設しているので、導体層を電解めっきにより形成する際に、電界が集中せず、また、オーバエッチングにならず、配線パターン58Sを所定の厚み及び幅に形成することができる。このため、孤立している配線パターンと、密集部分の配線パターンとを均一な厚みに形成することが可能になり、更に、該配線パターン58S上層の層間樹脂絶縁層150の厚みを均一にできるので、多層ビルドアップ配線板の電気特性を高めることができる。



(2)

【特許請求の範囲】

【請求項1】 層間樹脂絶縁層と導体層とを交互に積層してなる多層ビルドアップ配線板において、

前記導体層を構成する配線パターンの回りにダミー導体を配設したことを特徴とする多層ビルドアップ配線板。

【請求項2】 層間樹脂絶縁層と導体層とを交互に積層してなる多層ビルドアップ配線板において、

前記導体層を構成する複数本の配線パターンの回りにダミー導体を配設したことを特徴とする多層ビルドアップ配線板。

【請求項3】 前記ダミー導体の幅を、前記配線パターンの最小の幅の1～3倍にしたことを特徴とする請求項1又は2のパッケージ基板。

【請求項4】 前記ダミー導体と前記配線パターンとの間隔を、前記配線パターンの最小の幅の1～3倍にしたことを特徴とする請求項1～3のいずれか1に記載のパッケージ基板。

【請求項5】 層間樹脂絶縁層と導体層とを交互に積層してなる多層ビルドアップ配線板において、

前記導体層を構成する孤立ランドの回りにダミー導体を配設したことを特徴とする多層ビルドアップ配線板。

【請求項6】 前記孤立ランドの回りをダミー導体で囲んだことを特徴とする請求項5の多層ビルドアップ配線板。

【請求項7】 前記ダミー導体の最小の幅を、前記孤立ランドの径の1/6～3倍にしたことを特徴とする請求項5又は6の多層ビルドアップ配線板。

【請求項8】 前記ダミー導体と前記孤立ランドとの最小間隔を、当該孤立ランドの径の1/6～3倍にしたことを特徴とする請求項5～7のいずれか1に記載の多層ビルドアップ配線板。

【請求項9】 層間樹脂絶縁層と導体層とを交互に積層してなる多層ビルドアップ配線板において、

前記導体層にダミー導体を配設すると共に、該ダミー導体とダミー導体との交差部にフィレットを形成したことを特徴とする多層ビルドアップ配線板。

【請求項10】 層間樹脂絶縁層と導体層とを交互に積層してなる多層ビルドアップ配線板において、

前記導体層にダミー導体を配設すると共に、該ダミー導体とダミー導体との交差部であって、直角又は鋭角部分にフィレットを形成したことを特徴とする多層ビルドアップ配線板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、コア基板の両面に層間樹脂絶縁層と導体層とを交互に積層してなる多層ビルドアップ配線板に関するものである。

【0002】

【従来の技術】 多層ビルドアップ配線板は、100～1000 μ m程度のガラスクロスからなるコア基板の上

に、導体層と層間樹脂絶縁層とが交互に積層されてなる。導体層は、主に電解又は無電解めっきにより形成される。各層間樹脂絶縁層上の導体層は、パイアホールを介して接続される。該導体層としては、パイアホールの受け皿となる円形又は多角形のランドと、信号線（配線パターン）と、電源層又はグランド層として用いられるベタ層等からなる。

【0003】

【発明が解決しようとする課題】 しかしながら、従来技術の多層ビルドアップ配線板においては、配線パターンの厚みの厚い部分と薄い部分とが発生し、抵抗が均一にならないため、電気信号の伝搬に悪影響を与えていた。更に、配線パターン（厚み平均15 μ m）の上層に形成される層間樹脂絶縁層（30 μ m）の厚みが不均一となり、電気特性を一定にできないため、性能を高めることが困難であった。

【0004】 この原因を本発明者が研究したところ、配線パターンの配置される密度により層間樹脂絶縁層の厚みにばらつきが生じていることが判明した。例えば、配線密度が高い部分で、厚みが薄く、密度が低い（回りに信号線がない部分）ところで、厚くなることもある。また、反対に、配線密度が高い部分で、厚みが厚く、密度が低いところで、薄くなることもある。

【0005】 この事実から、第1に、めっき厚によりばらつきが生じているものと考えられる。即ち、配線密度の低い箇所では、電解めっきの際に電界が集中して厚みが厚くなり、反対に、配線密度の高い箇所では、電界が分散するため、信号線の厚みが薄くなるものと考えられる。

【0006】 更に、第2の理由として、エッチング液の液回りによって、配線パターンの厚みにばらつきが発生しているものと考えられる。現在、より高い性能を得るため、セミアディティブ法により多層ビルドアップ配線板が主に形成される。該セミアディティブ法においては、層間樹脂絶縁層に均一に無電解めっき膜を施した後、レジストパターンを形成し、該無電解めっき膜を介して通電して、レジストの非形成部に電解めっき膜を形成することで導体層を形成する。ここで、電解めっき膜を形成した後、レジストを剥離してから、レジスト下の無電解めっき膜をライトエッチングにより除去する。しかし、このライトエッチングにおいて、配線密度が高い部分では、エッチング液の液回りが悪く配線パターンの厚みが厚くなり、反対に、密度が低いところでは、液回りが良すぎて、配線パターンの厚み薄くなると共に、線幅も狭くなることもある。

【0007】 本発明は、上述した課題を解決するためになされたものであり、その目的は、配線パターン及び層間樹脂絶縁層の厚みの均質性に優れた多層ビルドアップ配線板を提供することにある。

【0008】

(3)

3

【課題を解決するための手段】上記目的を達成するため、請求項1は、層間樹脂絶縁層と導体層とを交互に積層してなる多層ビルドアップ配線板において、前記導体層を構成する配線パターンの回りにダミー導体を配設したことを技術的特徴とする。

【0009】また、請求項2は、層間樹脂絶縁層と導体層とを交互に積層してなる多層ビルドアップ配線板において、前記導体層を構成する複数本の配線パターンの回りにダミー導体を配設したことを技術的特徴とする。

【0010】請求項5は、層間樹脂絶縁層と導体層とを交互に積層してなる多層ビルドアップ配線板において、前記導体層を構成する孤立ランドの回りにダミー導体を配設したことを技術的特徴とする。

【0011】請求項9は、層間樹脂絶縁層と導体層とを交互に積層してなる多層ビルドアップ配線板において、前記導体層にダミー導体を配設すると共に、該ダミー導体とダミー導体との交差部にフィレットを形成したことを技術的特徴とする。

【0012】請求項10は、層間樹脂絶縁層と導体層とを交互に積層してなる多層ビルドアップ配線板において、前記導体層にダミー導体を配設すると共に、該ダミー導体とダミー導体との交差部であって、直角又は鋭角部分にフィレットを形成したことを技術的特徴とする。

【0013】請求項1及び2の発明では、配線パターンの回りにダミー導体を配設しているの、導体層を電解めっきにより形成する際に、電界の集中が発生せず、配線パターンを所定の厚みに形成することができる。このため、孤立している配線パターンと、密集部分の配線パターンとを均一な厚みに形成することが可能になり、更に、該配線パターン上層の層間樹脂絶縁層の厚みを均一にできるので、多層ビルドアップ配線板の電気特性を高めることができる。なお、本発明でいる、配線パターン、ダミー導体は、いわゆるコア基板上に形成されなくてもよいことを、念のため付記しておく。

【0014】請求項3の発明では、ダミー導体の幅を配線パターンの最小の幅の1～3倍にしてあるため、電界の集中が発生せず、配線パターン及びダミー導体を所定の厚みに形成することができる。

【0015】請求項4の発明では、ダミー導体と配線パターンとの間隔を、配線パターンの最小の幅の1～3倍にしてあるため、電界の集中が発生せず、配線パターン及びダミー導体を所定の厚みに形成することができる。

【0016】請求項5の発明では、孤立ランドの回りにダミー導体を配設してあるため、導体層を電解めっきにより形成する際に、電界の集中が発生せず、孤立ランドを所定の厚みに形成することができる。このため、孤立しているランドと、密集部分のランドとを均一な厚みに形成することが可能になり、多層ビルドアップ配線板の電気特性を高めることができる。

【0017】請求項6の発明では、孤立ランドの回りを

4

ダミー導体で囲んであるため、孤立ランドが外部からのノイズ等の影響を受けるのを軽減できる。

【0018】請求項7の発明では、ダミー導体の幅を、ランドの径の1/6～3倍にしてあるため、電界の集中が発生せず、ランド及びダミー導体を所定の厚みに形成することができる。

【0019】請求項8の発明では、ダミー導体と孤立ランドとの最小間隔を、ランド径の1/6～3倍にしてあるため、電界の集中が発生せず、ランド及びダミー導体を所定の厚みに形成することができる。

【0020】請求項9の発明では、ダミー導体とダミー導体との交差部にフィレットを形成してあるため、ダミー導体相互を適正に接続することができる。

【0021】請求項10の発明では、ダミー導体とダミー導体との交差部であって、直角又は鋭角部分にフィレットを形成してあるため、直角及び鋭角部分がなくなり、角部に起因する応力集中によるクラックが発生しない。

【0022】本発明では、上記層間樹脂絶縁層として無電解めっき用接着剤を用いることが望ましい。この無電解めっき用接着剤は、硬化処理された酸あるいは酸化剤に可溶性の耐熱性樹脂粒子が、酸あるいは酸化剤に難溶性の未硬化の耐熱性樹脂中に分散されてなるものが最適である。酸、酸化剤で処理することにより、耐熱性樹脂粒子が溶解除去されて、表面に蛸つば状のアンカーからなる粗化面を形成できる。

【0023】上記無電解めっき用接着剤において、特に硬化処理された前記耐熱性樹脂粒子としては、①平均粒径が10μm以下の耐熱性樹脂粉末、②平均粒径が2μm以下の耐熱性樹脂粉末を凝集させた凝集粒子、③平均粒径が2～10μmの耐熱性粉末樹脂粉末と平均粒径が2μm以下の耐熱性樹脂粉末との混合物、④平均粒径が2～10μmの耐熱性樹脂粉末の表面に平均粒径が2μm以下の耐熱性樹脂粉末または無機粉末のいずれか少なくとも1種を付着させてなる疑似粒子、⑤平均粒径が0.1～0.8μmの耐熱性粉末樹脂粉末と平均粒径が0.8μmを越え、2μm未満の耐熱性樹脂粉末との混合物、⑥平均粒径が0.1～1.0μmの耐熱性粉末樹脂粉末を用いることが望ましい。これらは、より複雑なアンカーを形成できるからである。

【0024】粗化面の深さは、 $R_{max}=0.01\sim2.0\mu m$ がよい。密着性を確保するためである。特にセミアディティブ法では、0.1～5μmがよい。密着性を確保しつつ、無電解めっき膜を除去できるからである。

【0025】前記酸あるいは酸化剤に難溶性の耐熱性樹脂としては、「熱硬化性樹脂および熱可塑性樹脂からなる樹脂複合体」又は「感光性樹脂および熱可塑性樹脂からなる樹脂複合体」からなることが望ましい。前者については耐熱性が高く、後者についてはパイアホール用の開口をフォトリソグラフィにより形成できるからであ

(4)

5

る。

【0026】前記熱硬化性樹脂としては、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂などを使用できる。また、感光化する場合、メタクリル酸やアクリル酸などと熱硬化基をアクリル化反応させる。特にエポキシ樹脂のアクリレートが最適である。エポキシ樹脂としては、フェノールノボラック型、クレゾールノボラック型、などのノボラック型エポキシ樹脂、ジシクロペンタジエン変成した脂環式エポキシ樹脂などを使用することができる。

【0027】熱可塑性樹脂としては、ポリエーテルスルホン (PES)、ポリスルホン (PSF)、ポリフェニレンスルホン (PPS)、ポリフェニレンサルファイド (PPES)、ポリフェニルエーテル (PPE)、ポリエーテルイミド (PI) などを使用できる。熱硬化性樹脂 (感光性樹脂) と熱可塑性樹脂の混合割合は、熱硬化性樹脂 (感光性樹脂) / 熱可塑性樹脂 = 95 / 5 ~ 50 / 50 がよい。耐熱性を損なうことなく、高い靱性値を確保できるからである。

【0028】前記耐熱性樹脂粒子の混合重量比は、耐熱性樹脂マトリックスの固形分に対して 5 ~ 50 重量%、望ましくは 10 ~ 40 重量% がよい。耐熱性樹脂粒子は、アミノ樹脂 (メラミン樹脂、尿素樹脂、グアナミン樹脂)、エポキシ樹脂などがよい。なお、接着剤は、組成の異なる 2 層により構成してもよい。

【0029】なお、多層ビルドアップ配線板の表面に付加するソルダーレジスト層としては、種々の樹脂を使用でき、例えば、ビスフェノール A 型エポキシ樹脂、ビスフェノール A 型エポキシ樹脂のアクリレート、ノボラック型エポキシ樹脂、ノボラック型エポキシ樹脂のアクリレートをアミン系硬化剤やイミダゾール硬化剤などで硬化させた樹脂を使用できる。

【0030】一方、このようなソルダーレジスト層は、剛直骨格を持つ樹脂で構成されるので剥離が生じることがある。このため、補強層を設けることでソルダーレジスト層の剥離を防止することもできる。

【0031】ここで、上記ノボラック型エポキシ樹脂のアクリレートとしては、フェノールノボラックやクレゾールノボラックのグリシジルエーテルを、アクリル酸やメタクリル酸などと反応させたエポキシ樹脂などを用いることができる。

【0032】上記イミダゾール硬化剤は、25℃で液状であることが望ましい。液状であれば均一混合できるからである。このような液状イミダゾール硬化剤としては、1-ベンジル-2-メチルイミダゾール (品名: 1B2MZ)、1-シアノエチル-2-エチル-4-メチルイミダゾール (品名: 2E4MZ-CN)、4-メチル-2-エチルイミダゾール (品名: 2E4MZ) を用いることができる。

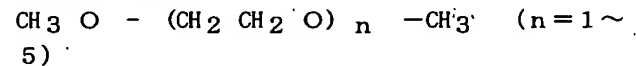
【0033】このイミダゾール硬化剤の添加量は、上記ソルダーレジスト組成物の総固形分に対して 1 ~ 10 重量

6

%とすることが望ましい。この理由は、添加量がこの範囲内にあれば均一混合がしやすいからである。

【0034】上記ソルダーレジストの硬化前組成物は、溶媒としてグリコールエーテル系の溶剤を使用することが望ましい。このような組成物を用いたソルダーレジスト層は、遊離酸が発生せず、銅パッド表面を酸化させない。また、人体に対する有害性も少ない。

【0035】このようなグリコールエーテル系溶媒としては、下記構造式のもの、特に望ましくは、ジエチレングリコールジメチルエーテル (DMDG) およびトリエチレングリコールジメチルエーテル (DMTG) から選ばれるいずれか少なくとも 1 種を用いる。これらの溶剤は、30 ~ 50℃程度の加温により反応開始剤であるベンゾフェノンやミヒラーケトン完全に溶解させることができるからである。



このグリコールエーテル系の溶媒は、ソルダーレジスト組成物の全重量に対して 10 ~ 70 wt% がよい。

【0036】以上説明したようなソルダーレジスト組成物には、その他に、各種消泡剤やレベリング剤、耐熱性や耐塩基性の改善と可撓性付与のために熱硬化性樹脂、解像度改善のために感光性モノマーなどを添加することができる。例えば、レベリング剤としてはアクリル酸エステルの重合体からなるものがよい。また、開始剤としては、チバガイギー製のイルガキュア I 907、光増感剤としては日本化薬製の DETX-S がよい。さらに、ソルダーレジスト組成物には、色素や顔料を添加してもよい。配線パターンを隠蔽できるからである。この色素としてはフタロシアニングリーンを用いることが望ましい。

【0037】添加成分としての上記熱硬化性樹脂としては、ビスフェノール型エポキシ樹脂を用いることができる。このビスフェノール型エポキシ樹脂には、ビスフェノール A 型エポキシ樹脂とビスフェノール F 型エポキシ樹脂があり、耐塩基性を重視する場合には前者が、低粘度化が要求される場合 (塗布性を重視する場合) には後者がよい。

【0038】添加成分としての上記感光性モノマーとしては、多価アクリル系モノマーを用いることができる。多価アクリル系モノマーは、解像度を向上させることができるからである。例えば、多価アクリル系モノマーとして、日本化薬製の DPE-6A、共栄社化学製の R-604 を用いることができる。また、これらのソルダーレジスト組成物は、25℃で 0.5 ~ 10 Pa·s、より望ましくは 1 ~ 10 Pa·s がよい。ロールコートで塗布しやすい粘度だからである。

【0039】

【発明の実施の形態】以下、本発明の実施形態に係る多層ビルドアップ配線板及びその製造方法について図を参

(5)

7

照して説明する。まず、本発明の第1実施形態に係る多層ビルドアップ配線板10の構成について、図6

(T)、図7及び図8を参照して説明する。図6(T)は、ICチップ搭載前の多層プリント配線板10の断面図を示し、図7は、図6(T)に示す多層プリント配線板10にICチップ90を載置し、ドータボード94へ取り付けた状態を示している。

【0040】図7に示すように多層ビルドアップ配線板10では、コア基板30内にスルーホール36が形成され、該コア基板30の両面には導体回路34が形成されている。また、該コア基板30の上には、下層側層間樹脂絶縁層50が配設され、下層側層間樹脂絶縁層50には、パイアホール60、配線パターン58S、ランド58R、及び、ダミー導体58Dからなる導体層の形成されている。該下層側層間樹脂絶縁層50の上には、上層側層間樹脂絶縁層150が配置され、層間樹脂絶縁層150には、パイアホール160、信号線158S及びダミー導体158Dからなる導体層が形成されている。

【0041】多層ビルドアップ配線板10の上面側には、ICチップ90のランド92へ接続するための半田バンプ76Uが配設されている。半田バンプ76Uはパイアホール160及びパイアホール60を介してスルーホール36へ接続されている。一方、下面側には、ドータボード94のランド96に接続するための半田バンプ76Dが配設されている。該半田バンプ76Dは、パイアホール160及びパイアホール60を介してスルーホール36へ接続されている。

【0042】図7のX-X横断面、即ち、下層側層間樹脂絶縁層50の表面に形成された導体層の平面図を図8に示す。図8のE-E断面が図7に相当する。図8に示すように層間樹脂絶縁層50上には、導体層として、配線パターン58Sと、ランド58Rと、孤立ランド58RS、ダミー導体58D、ダミー導体58DSとが形成されている。

【0043】図中で、Aで囲んだ部位を拡大して図9(A)に示す。本実施形態では、孤立した配線パターン58Sの回りにダミー導体58Dを配設してある。一方、図8中のBで囲んだ部位を拡大して図9(B)に示す。ここでは、3本の配線パターン58Sの回りにダミー導体58Dを配設してある。本実施形態の多層ビルドアップ配線板では、配線パターン58Sの回りにダミー導体58Dを配設しているため、後述するように導体層を電解めっきにより形成する際に、電界の集中が発生せず、また、後述するライトエッチングにおいてオーバーエッチングにならず、配線パターン58Sを所定の厚み(15 μ m)及び幅(37 μ m)に形成することができる。また、孤立している信号線と、密集部分の信号線とを均一な厚みに形成することが可能になるので、該信号線上層の層間樹脂絶縁層150の厚みを均一にでき、多層ビルドアップ配線板の電気特性を高めることができ

8

る。

【0044】なお、ダミー導体58Dの幅は、配線パターン58Sの最小幅(37 μ m)の1~3倍(37~111 μ m)にしてある。かかる幅であれば、配線パターン58S及びダミー導体58Dに電界の集中が発生せず、当該信号線及びダミー導体を所定の厚みに形成することができる。一方、ダミー導体58Dと配線パターン58Sとの最小間隔D1を、信号線38の1~3倍(37~111 μ m)にしてある。このため、電界の集中が発生せず、配線パターン及びダミー導体を所定の厚みに形成することができる。

【0045】図8中のCで囲んだ部位を拡大して図10(C)に示す。孤立ランド58RSは、ダミー導体58DSで囲まれている。本実施形態の多層ビルドアップ配線板では、孤立ランド58RSを囲むようにダミー導体58DSを配設しているため、後述するように導体層を電解めっきにより形成する際に、電界の集中が発生せず、また、後述するライトエッチングにおいてオーバーエッチングにならず、孤立ランド58RSを所定の厚み(15 μ m)及び径(133 μ m)に形成することができる。このため、孤立しているランド58DSと、密集部分のランド58Dとを均一な厚みに形成することが可能になり、更に、該配線パターン上層の層間樹脂絶縁層150の厚みを均一にできるので、多層ビルドアップ配線板の電気特性を高めることができる。

【0046】なお、孤立ランド58RSの回りのダミー導体58DSの最小幅は、ランド径(133 μ m)の1/6~3倍(22~399 μ m)にしてあるため、電界の集中が発生せず、ランド及びダミー導体を所定の厚みに形成することができる。また、ダミー導体58DSと孤立ランド58RSの最小間隔D2を、ランド径の1/6~3倍(22~399 μ m)にしてあるため、電界の集中が発生せず、ランド及びダミー導体を所定の厚みに形成することができる。更に、孤立ランド58RSの回りをダミー導体58DSで囲んであるため、孤立ランド58RSが外部からのノイズ等の影響を受けるのを軽減できる。

【0047】図10(C')は、図10(C)に示す孤立ランドとは異なる孤立ランドを示している。図10(C')に示す例では、ダミー導体58DSが、パイアホール60に接続され、コア基板30側(図7参照)のアースラインへと接続されている。この例では、ダミー導体58DSがアースに接続されているため、孤立ランド58RSが外部からのノイズ等の影響を受けるのを防ぐことができる。

【0048】図8中のDで囲んだ部位を拡大して図11に示す。本実施形態の多層ビルドアップ配線板10では、ダミー導体58Dとダミー導体58Dとの交差部であって、直角部にフィレットF2が、鋭角部分にフィレットF1を形成してある。このため、ダミー導体相互を

(6)

9

適正に接続することができる。また、直角及び鋭角部分がなくなり、角部に起因する応力集中によるクラックが発生することがない。即ち、導体層の一部に角部があると、ヒートサイクルにおいて熱応力が集中し、係る角部を起点として層間樹脂絶縁層にクラックが発生することがあるが、本実施形態の多層ビルドアップ配線板においては、係るクラックの発生を防止できる。

【0049】図12(E)は、配線パターン58Sと孤立ランド58RSとが近接している場合を示している。係る場合には、配線パターン58S及び孤立ランド58RSを共にダミー導体58Dで囲むことができる。一方、図12(F)は、配線パターン58Sの近傍に電源層用のプレーン層58Hが存在している場合を示している。係る場合には、特に配線パターン58Sとプレーン層58Hとの間に、ダミー導体を配置する必要はない。

【0050】引き続き、上述した第1実施形態に係る多層多層ビルドアップ配線板の製造方法について図を参照して説明する。ここでは、第1実施形態の多層多層ビルドアップ配線板の製造方法に用いるA. 無電解めっき用接着剤、B. 層間樹脂絶縁剤、C. 樹脂充填剤、D. ソルダレジスト組成物の組成について説明する。

【0051】A. 無電解めっき用接着剤調製用の原料組成物(上層用接着剤)

〔樹脂組成物①〕クレゾールノボラック型エポキシ樹脂(日本化薬製、分子量2500)の25%アクリル化物を80wt%の濃度でDMDGに溶解させた樹脂液を35重量部、感光性モノマー(東亜合成製、アロニックスM315)3.15重量部、消泡剤(サンノブコ製、S-65)0.5重量部、NMP 3.6重量部を攪拌混合して得た。

【0052】〔樹脂組成物②〕ポリエーテルスルフォン(PES)12重量部、エポキシ樹脂粒子(三洋化成製、ポリマーボール)の平均粒径 $1.0\mu\text{m}$ のものを7.2重量部、平均粒径 $0.5\mu\text{m}$ のものを3.09重量部、を混合した後、さらにNMP30重量部を添加し、ビーズミルで攪拌混合して得た。

【0053】〔硬化剤組成物③〕イミダゾール硬化剤(四国化成製、2E4MZ-CN)2重量部、光開始剤(チバガイギー製、イルガキュア I-907)2重量部、光増感剤(日本化薬製、DETX-S)0.2重量部、NMP 1.5重量部を攪拌混合して得た。

【0054】B. 層間樹脂絶縁剤調製用の原料組成物(下層用接着剤)

〔樹脂組成物①〕クレゾールノボラック型エポキシ樹脂(日本化薬製、分子量2500)の25%アクリル化物を80wt%の濃度でDMDGに溶解させた樹脂液を35重量部、感光性モノマー(東亜合成製、アロニックスM315)4重量部、消泡剤(サンノブコ製、S-65)0.5重量部、NMP 3.6重量部を攪拌混合して得た。

【0055】〔樹脂組成物②〕ポリエーテルスルフォン(PES)12重量部、エポキシ樹脂粒子(三洋化成製、

10

ポリマーボール)の平均粒径 $0.5\mu\text{m}$ のものを14.49重量部、を混合した後、さらにNMP30重量部を添加し、ビーズミルで攪拌混合して得た。

【0056】〔硬化剤組成物③〕イミダゾール硬化剤(四国化成製、2E4MZ-CN)2重量部、光開始剤(チバガイギー製、イルガキュア I-907)2重量部、光増感剤(日本化薬製、DETX-S)0.2重量部、NMP1.5重量部を攪拌混合して得た。

【0057】C. 樹脂充填剤調製用の原料組成物

〔樹脂組成物①〕ビスフェノールF型エポキシモノマー(油化シェル製、分子量310、YL983U)100重量部、表面にシランカップリング剤がコーティングされた平均粒径 $1.6\mu\text{m}$ の SiO_2 球状粒子(アドマテック製、CRS1101-CE、ここで、最大粒子の大きさは後述する内層銅パターンの厚み($15\mu\text{m}$)以下とする)170重量部、レベリング剤(サンノブコ製、ペレノールS-4)1.5重量部を攪拌混合することにより、その混合物の粘度を $23\pm 1^\circ\text{C}$ で45,000~49,000cpsに調整して得た。

〔硬化剤組成物②〕イミダゾール硬化剤(四国化成製、2E4MZ-CN)6.5重量部。

【0058】D. ソルダレジスト組成物

DMDGに溶解させた60重量%のクレゾールノボラック型エポキシ樹脂(日本化薬製)のエポキシ基50%をアクリル化した感光性付与のオリゴマー(分子量4000)を46.67g、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂(油化シェル製、エピコート1001)15.0g、イミダゾール硬化剤(四国化成製、2E4MZ-CN)1.6g、感光性モノマーである多価アクリルモノマー(日本化薬製、R604)3g、同じく多価アクリルモノマー(共栄社化学製、DPE6A)1.5g、分散系消泡剤(サンノブコ社製、S'-65)0.71gを混合し、さらにこの混合物に対して光開始剤としてのベンゾフェノン(関東化学製)を2g、光増感剤としてのミヒラーケトン(関東化学製)を0.2g加えて、粘度を 25°C で2.0Pa·sに調整したソルダレジスト組成物を得た。なお、粘度測定は、B型粘度計(東京計器、DVL-B型)で60rpmの場合はローターNo.4、6rpmの場合はローターNo.3によった。

【0059】引き続き、本発明の第1実施形態に係る多層ビルドアップ配線板の製造工程について図1乃至図7を参照して説明する。この第1実施形態では、多層ビルドアップ配線板をセミアディティブ方により形成する。

【0060】(1)図1(A)に示すように厚さ1mmのガラスエポキシ樹脂またはBT(ビスマレイミドトリアジン)樹脂からなる基板30の両面に $18\mu\text{m}$ の銅箔32がラミネートされている銅張積層板30Aを出発材料とした。まず、この銅張積層板30Aをドリル削孔し、無電解めっき処理を施してスルーホール36を形成し(図1(B))、パターン状にエッチングすることにより導体回路34を配設することで、図1(C)に示すコ

(7)

11

ア基板30を形成する。

【0061】(2) 導体回路34およびスルーホール36を形成した基板30を水洗いし、乾燥した後、酸化浴(黒化浴)として、 NaOH (10 g/l)、 NaClO_2 (40 g/l)、 Na_3PO_4 (6 g/l)、還元浴として、 NaOH (10 g/l)、 NaBH_4 (6 g/l)を用いた酸化還元処理により、導体回路34およびスルーホール36の表面に粗化層38を設けた(図1(D)参照)。

【0062】(3) Cの樹脂充填剤調製用の原料組成物を混合混練して樹脂充填剤を得た。

【0063】(4) 前記(3)で得た樹脂充填剤40を、調製後24時間以内に基板30の両面にロールコータを用いて塗布することにより、導体回路34及び導体回路34の間、及び、スルーホール36内に充填し、 70°C 、20分間で乾燥させ、他方の面についても同様にして導体回路34及び導体回路34の間、あるいはスルーホール36内に樹脂充填剤40を充填し、 70°C 、20分間で加熱乾燥させた(図2(E)参照)。

【0064】(5) 前記(4)の処理を終えた基板30の片面を、#600のベルト研磨紙(三共理化学製)を用いたベルトサンダー研磨により、導体回路34の表面やスルーホール36のランド36a表面に樹脂充填剤40が残らないように研磨し、次いで、前記ベルトサンダー研磨による傷を取り除くためのバフ研磨を行った。このような一連の研磨を基板の他方の面についても同様に行った(図2(F)参照)。次いで、 100°C で1時間、 120°C で3時間、 150°C で1時間、 180°C で7時間の加熱処理を行って樹脂充填剤40を硬化した。

【0065】このようにして、スルーホール36等に充填された樹脂充填剤40の表層部および導体回路34上面の粗化層38を除去して基板30両面を平滑化した上で、樹脂充填剤40と導体回路34の側面とが粗化層38を介して強固に密着し、またスルーホール36の内壁面と樹脂充填剤40とが粗化層38を介して強固に密着した配線基板を得た。即ち、この工程により、樹脂充填剤40の表面と導体回路34の表面が同一平面となる。

【0066】(6) 導体回路34を形成した基板30にアルカリ脱脂してソフトエッチングして、次いで、塩化パラジウムと有機酸からなる触媒溶液で処理して、Pd触媒を付与し、この触媒を活性化した後、硫酸銅 $3.2 \times 10^{-2}\text{ mol/l}$ 、硫酸ニッケル $3.9 \times 10^{-3}\text{ mol/l}$ 、錯化剤 $5.4 \times 10^{-2}\text{ mol/l}$ 、次亜りん酸ナトリウム $3.3 \times 10^{-1}\text{ mol/l}$ 、ホウ酸 $5.0 \times 10^{-1}\text{ mol/l}$ 、界面活性剤(日信化学工業製、サーフィール465) 0.1 g/l 、 $\text{PH}=9$ からなる無電解めっき液に浸漬し、浸漬1分後に、4秒当たり1回に割合で縦、および、横振動させて、導体回路34、スルーホール36のランド36a及びパイアホールの底部60aの表面にCu-Ni-Pからなる針状合金の被覆層と粗化層42を設けた(図2(G)参照)。

12

【0067】さらに、ホウフッ化スズ 0.1 mol/l 、チオ尿素 1.0 mol/l 、温度 35°C 、 $\text{PH}=1.2$ の条件でCu-Sn置換反応させ、粗化層の表面に厚さ $0.3\text{ }\mu\text{m}$ Sn層(図示せず)を設けた。

【0068】(7) Bの層間樹脂絶縁剤調製用の原料組成物を攪拌混合し、粘度 $1.5\text{ Pa}\cdot\text{s}$ に調整して層間樹脂絶縁剤(下層用)を得た。次いで、Aの無電解めっき用接着剤調製用の原料組成物を攪拌混合し、粘度 $7\text{ Pa}\cdot\text{s}$ に調整して無電解めっき用接着剤溶液(上層用)を得た。

【0069】(8) 前記(6)の基板の両面に、前記(7)で得られた粘度 $1.5\text{ Pa}\cdot\text{s}$ の層間樹脂絶縁剤(下層用)44を調製後24時間以内にロールコータで塗布し、水平状態で20分間放置してから、 60°C で30分の乾燥(プリベーク)を行い、次いで、前記(7)で得られた粘度 $7\text{ Pa}\cdot\text{s}$ の感光性の接着剤溶液(上層用)46を調製後24時間以内に塗布し、水平状態で20分間放置してから、 60°C で30分の乾燥(プリベーク)を行い、厚さ $35\text{ }\mu\text{m}$ の接着剤層50aを形成した(図2(H)参照)。

【0070】(9) 前記(8)で接着剤層を形成した基板30の両面に、 $85\text{ }\mu\text{m}$ φの黒円が印刷されたフォトマスクフィルム(図示せず)を密着させ、超高压水銀灯により 500 mJ/cm^2 で露光した。これをDMTG溶液でスプレー現像し、さらに、当該基板30を超高压水銀灯により 3000 mJ/cm^2 で露光し、 100°C で1時間、 120°C で1時間、その後、 150°C で3時間の加熱処理(ポストベーク)をすることにより、フォトマスクフィルムに相当する寸法精度に優れた $85\text{ }\mu\text{m}$ φの開孔(パイアホール形成用開孔)48を有する厚さ $35\text{ }\mu\text{m}$ の層間樹脂絶縁層(2層構造)50を形成した(図3(I)参照)。なお、パイアホールとなる開孔48には、スズめっき層(図示せず)を部分的に露出させた。

【0071】(10) 開孔48が形成された基板30を、クロム酸に19分間浸漬し、層間樹脂絶縁層50の表面に存在するエポキシ樹脂粒子を溶解除去することにより、当該層間樹脂絶縁層50の表面を粗化し(図3(J)参照)、その後、中和溶液(シブレイ社製)に浸漬してから水洗いした。

【0072】(11) 前記(10)の行程で表面を粗化した基板30の表面に、パラジウム触媒(アテック製)を付与することにより、層間樹脂絶縁層50の表面に触媒核を付ける。その後、以下に示す組成の無電解銅めっき水溶液中に基板30を浸漬して、全体に厚さ $0.6\text{ }\mu\text{m}$ の無電解めっき膜52を形成する(図3(K)参照)。

【無電解めっき水溶液】

EDTA	150	g/l
硫酸銅	20	g/l
HCHO	30	ml/l
NaOH	40	g/l
α, α' -ピピリジル	80	mg/l
PEG	0.1	g/l

(8)

13

〔無電解めっき条件〕70℃の液温度で30分

【0073】(12)前記(11)で形成した無電解銅めっき膜52上に市販の感光性ドライフィルム54αを張り付け、所定のパターン53aの描かれたマスク53を載置して、100 mJ/cm² で露光した後(図3(L))、0.8%炭酸ナトリウムで現像処理し、厚さ15μmのめっき*

〔電解めっき水溶液〕

硫酸	180 g/l
硫酸銅	80 g/l
添加剤(アトテックジャパン製、カパラシンドGL)	1 ml/l

〔電解めっき条件〕

電流密度	1 A/dm ²
時間	30分
温度	室温

【0075】ここで、無電解銅めっき膜52の上に電解銅めっき膜56を形成することで、導体層及びバイアホール60を形成する。この導体層として、図8を参照して上述したように配線パターン58Sと、ランド58Rと、孤立ランド58RSと、ダミー導体58Dと、ダミー導体58DSとが形成されている(図4(O)中、配線パターン58S、ランド58R、ダミー導体58Dのみ示す)。ここで、本実施形態では、孤立している配線パターン58S及び孤立ランド58RSの回りに、ダミー導体58D、58DSを配置しているため、上記電解めっきにおいて、電界の集中が発生せず、配線パターン58S、ランド58R及び孤立ランド58RSを均一の厚みに形成することができる。

【0076】(14)先ず、めっきレジスト54を5%KOHで剥離除去しする。その後、めっきレジスト下の無電解めっき膜52を硫酸と過酸化水素の混合液でエッチング処理(ライトエッチング)して溶解除去し、上述したように無電解銅めっき膜52と電解銅めっき膜56からなる厚さ15μmの導体層及びバイアホール60を形成した(図4(O))。

【0077】無電解めっき膜52をライトエッチングにより除去する際に、本実施形態では、孤立している配線パターン58Sの回りに、ダミー導体58Dを配置しているため、エッチング液の液回りが均一となり、配線パターン58Sを均一の厚み(15μm)及び幅(37μm)に形成することができる。

【0078】(15)(6)と同様の処理を行い、配線パターン58S、ダミー導体58D、ランド58R及びバイアホール60の表面にCu-Ni-Pからなる粗化面62を形成し、さらにその表面にSn置換を行った(図5(P)参照)。

【0079】(16)(7)～(15)の工程を繰り返すことにより、さらに上層の層間樹脂絶縁層150及びバイアホール160、信号線158S、ダミー導体158Dを形成することで、多層ビルドアップ配線板を完成する(図5

14

*レジスト54を設けた(図4(M)参照)。

【0074】(13)ついで、無電解銅めっき膜52を介して電流を流すことで、レジスト非形成部分に以下の条件で電解銅めっきを施し、厚さ15μmの電解銅めっき膜56を形成した(図4(N)参照)。

(Q)参照)。なお、この上層の導体回路を形成する工程においては、Sn置換は行わなかった。

【0080】(17)そして、上述した多層ビルドアップ配線板にはんだバンプを形成する。前記(16)で得られた基板30両面に、上記Dにて説明したソルダーレジスト組成物70αを45μmの厚さで塗布する。次いで、70℃で20分間、70℃で30分間の乾燥処理を行った後、円パターン(マスクパターン)が描画された厚さ5mmのフォトマスクフィルム(図示せず)を密着させて載置し、1000mJ/cm²の紫外線で露光し、DMTG現像処理する。そしてさらに、80℃で1時間、100℃で1時間、120℃で1時間、150℃で3時間の条件で加熱処理し、はんだパッド部分(バイアホールとそのランド部分を含む)に開口(開口径200μm)、71を有するソルダーレジスト層(厚み20μm)70を形成する(図5(R)参照)。

【0081】(18)次に、塩化ニッケル $2.31 \times 10^{-1} \text{ mol/l}$ 、次亜リン酸ナトリウム $2.8 \times 10^{-1} \text{ mol/l}$ 、クエン酸ナトリウム $1.85 \times 10^{-1} \text{ mol/l}$ 、からなるpH=4.5の無電解ニッケルめっき液に該基板30を20分間浸漬して、開口部71に厚さ5μmのニッケルめっき層72を形成した。さらに、その基板を、シアン化金カリウム $4.1 \times 10^{-2} \text{ mol/l}$ 、塩化アンモニウム $1.87 \times 10^{-1} \text{ mol/l}$ 、クエン酸ナトリウム $1.16 \times 10^{-1} \text{ mol/l}$ 、次亜リン酸ナトリウム $1.7 \times 10^{-1} \text{ mol/l}$ からなる無電解金めっき液に80℃の条件で7分20秒間浸漬して、ニッケルめっき層上に厚さ0.03μmの金めっき層74を形成することで、バイアホール160に半田パッド75を形成する(図6(S)参照)。その後、ソルダーレジスト70の補強層78を被覆する。

【0082】(19)そして、ソルダーレジスト層70の開口部71に、半田ペーストを印刷して200℃でリフローすることにより、半田バンプ(半田体)76U、76Dを形成し、多層ビルドアップ配線板10を完成した(図6(T)参照)。

(9)

15

【0083】完成した多層プリント配線板10の半田パンプ76Uに、ICチップ90のパッド92が対応するように載置し、リフローを行いICチップ90を搭載する。その後、このICチップ90を搭載した多層プリント配線板10を、ドータボード94側のパンプ96に対応するように載置してリフローを行い、ドータボード94へ取り付け。 (図7参照)。

【図面の簡単な説明】

【図1】図1 (A)、図1 (B)、図1 (C)、図1 (D) は、本発明の第1実施形態に係る多層ビルドアップ配線板の製造工程図である。

【図2】図2 (E)、図2 (F)、図2 (G)、図2 (H) は、本発明の第1実施形態に係る多層ビルドアップ配線板の製造工程図である。

【図3】図3 (I)、図3 (J)、図3 (K)、図3 (L) は、本発明の第1実施形態に係る多層ビルドアップ配線板の製造工程図である。

【図4】図4 (M)、図4 (N)、図4 (O) は、本発明の第1実施形態に係る多層ビルドアップ配線板の製造工程図である。

【図5】図5 (P)、図5 (Q)、図5 (R) は、本発明の第1実施形態に係る多層ビルドアップ配線板の製造工程図である。

【図6】図6 (S)、図6 (T) 本発明の第1実施形態

16

に係る多層ビルドアップ配線板の断面図である。

【図7】本発明の第1実施形態に係る多層ビルドアップ配線板の断面図である。

【図8】図8は、図7のX-X横断面図である。

【図9】図9 (A) は、図8中のA部拡大図であり、図9 (B) は、図8中のB部拡大図である。

【図10】図10 (C) は、図8中のC部拡大図であり、図10 (C') は、孤立ランドの拡大図である。

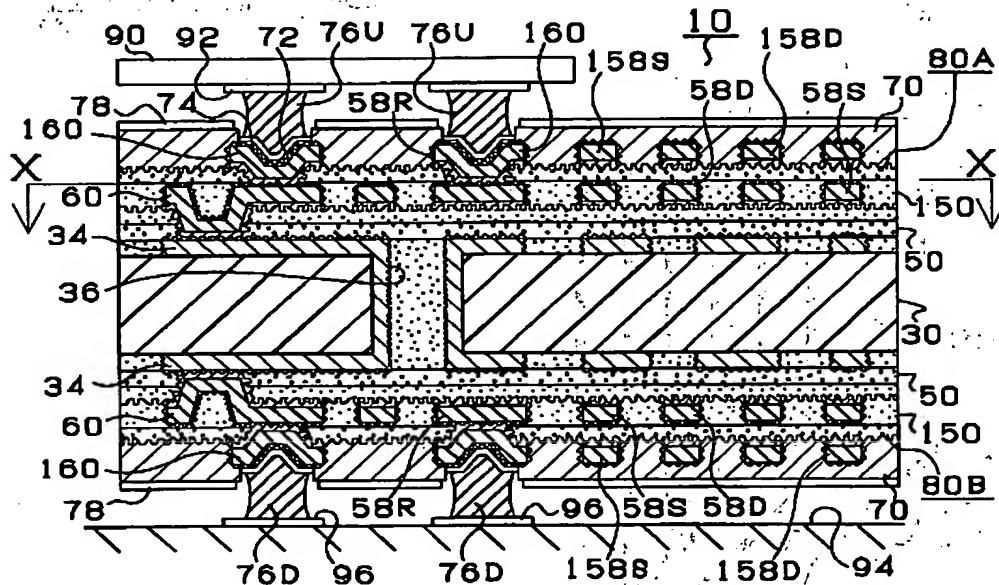
【図11】図11は、図8中のD部の拡大図である。

【図12】図12 (E) 及び図12 (F) は、信号線及びダミー導体の拡大図である。

【符号の説明】

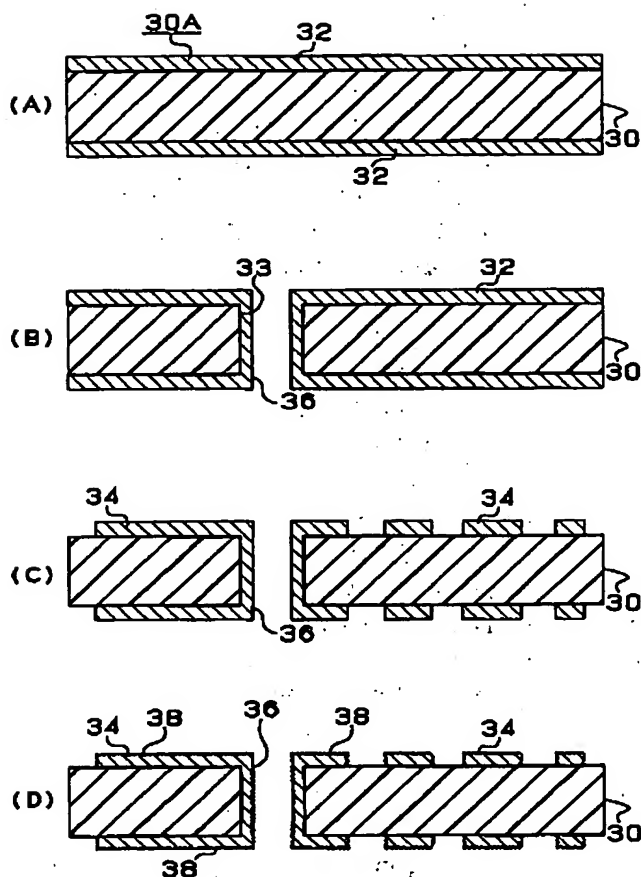
- 30 コア基板
- 36 バイアホール
- 50 層間樹脂絶縁層
- 58 導体回路
- 58S 配線パターン
- 58R ランド
- 58RS 孤立ランド
- 58D ダミー導体
- 58DS、ダミー導体
- 60 バイアホール
- 150 層間樹脂絶縁層
- 160 バイアホール

【図7】

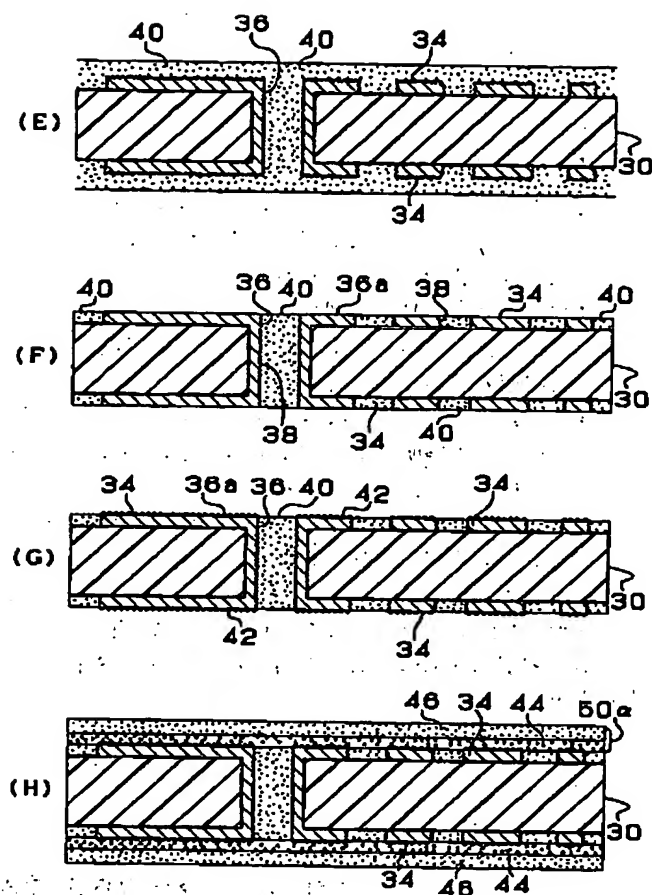


(10)

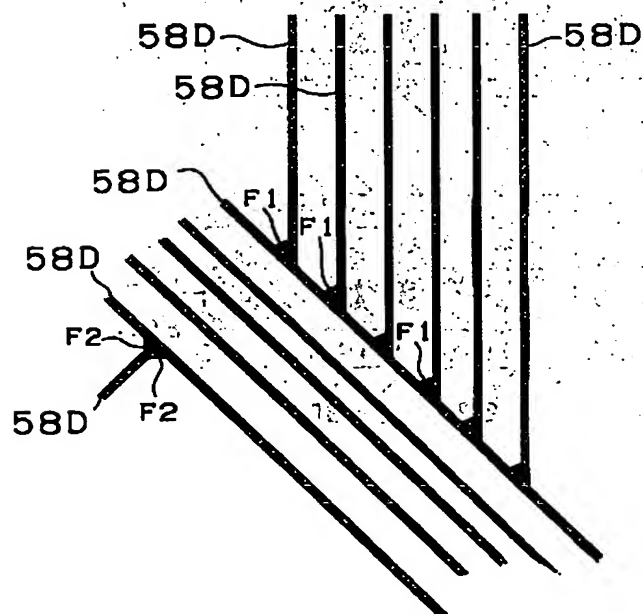
【図 1】



【図 2】

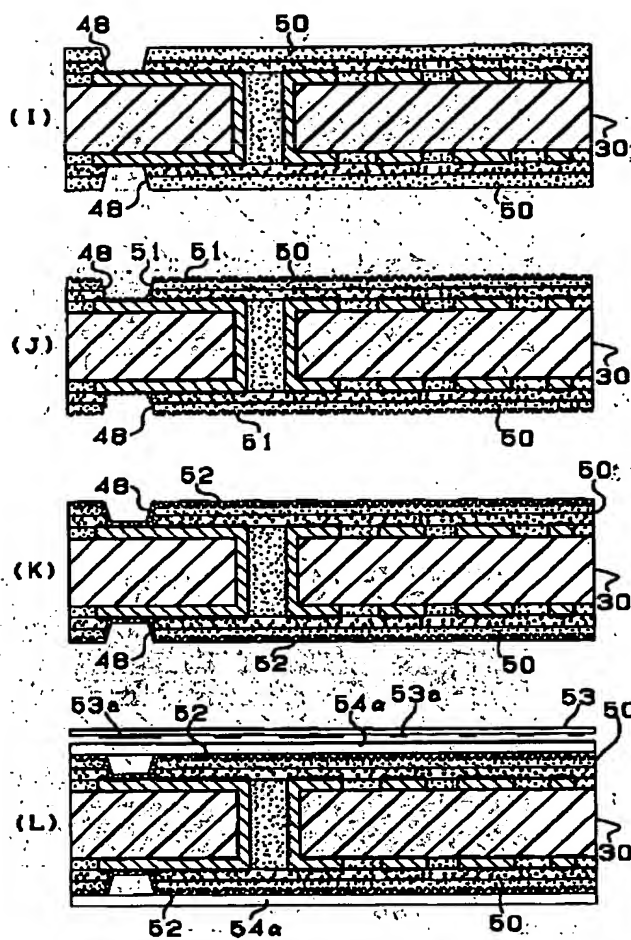


【図 11】

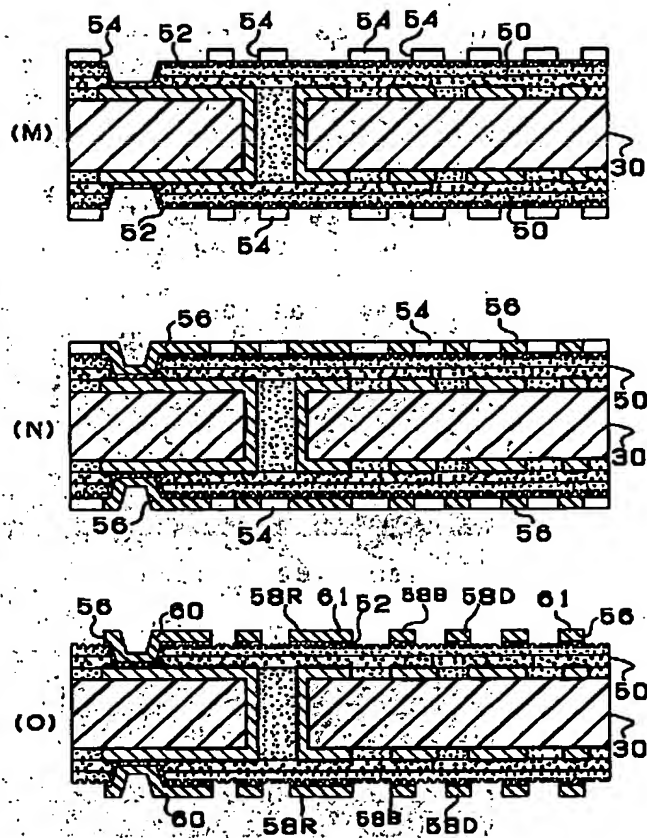


(11)

【図 3】

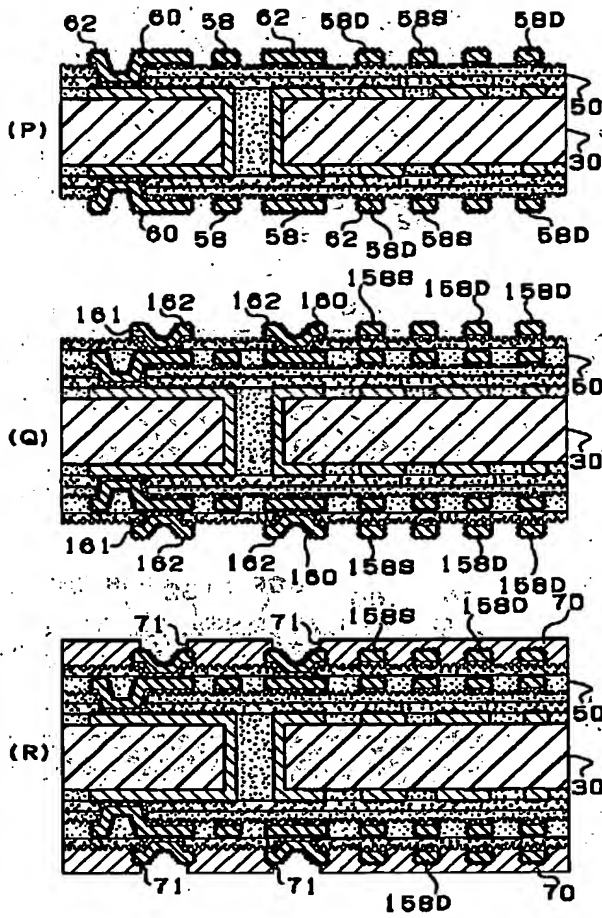


【図 4】

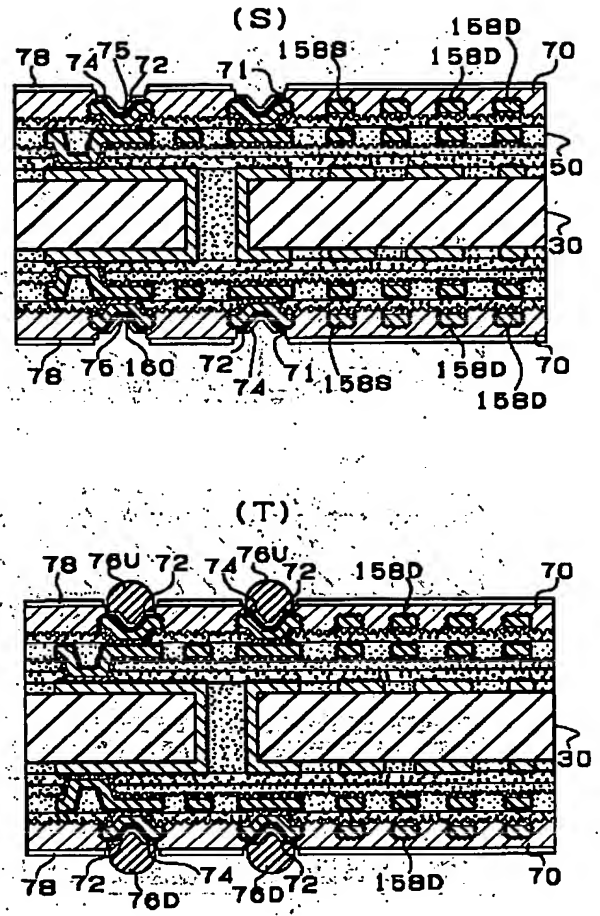


(12)

【図5】



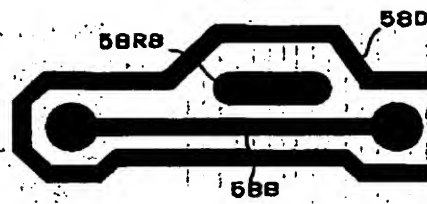
【図6】



(14)

【図12】

(E)



(F)

